

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki TAKEUCHI

GAU:

SERIAL NO: 10/762,540

EXAMINER:

FILED: January 23, 2004

FOR: ASYNCHRONOUS PSEUDO SRAM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-338528	September 29, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0380345
10/762,540

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 9月29日

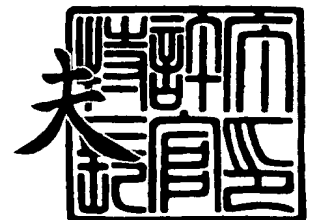
出願番号
Application Number: 特願2003-338528
[ST. 10/C]: [JP 2003-338528]

出願人
Applicant(s): 株式会社東芝

2004年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3111419

【書類名】 特許願
【整理番号】 A000301054
【提出日】 平成15年 9月29日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/76
H01L 27/00
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
レクトロニクスセンター内
【氏名】 竹内 義昭
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

メモリセルアレイと、

前記メモリセルアレイの動作開始を指示するチップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、

前記メモリセルアレイのロウアドレスを指示するロウアドレス信号の遷移及びカラムアドレスを指示するカラムアドレス信号の遷移をそれぞれ検知する第 1 のアドレス遷移検知回路と、

前記メモリセルアレイの書き込み動作を指示するライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、

前記チップイネーブル遷移検知回路、前記第 1 のアドレス遷移検知回路及び前記ライトイネーブル遷移検知回路の検知結果に基づいて、前記メモリセルアレイのロウアクセスを制御する制御信号を生成するタイムアウト回路を備える第 1 の制御回路と、

前記カラムアドレス信号の遷移のみを検知する第 2 のアドレス遷移検知回路と、

前記第 2 のアドレス遷移検知回路の検知結果に基づいて、前記メモリセルアレイのカラムアクセスを制御する第 2 の制御回路と、

前記メモリセルアレイのカラムアクセス動作が開始可能な条件となった場合に、前記第 2 のアドレス遷移検知回路でカラムアドレスの遷移を検知した時に、カラムアクセスを行うモード開始と判定してモード判定信号を発生し、カラムアクセスに入った後、あらかじめ決められたアドレスあるいはロウアドレスの遷移を検知した場合には、カラムアクセスの終了と判定して待機状態に入るように制御するモード判定回路とを具備し、

前記モード判定回路でロウアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、前記第 1 の制御回路中の前記タイムアウト回路によって前記メモリセルアレイのアクセス動作を制御し、

前記モード判定回路でカラムアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、カラムアクセスが終了するまで前記タイムアウト回路による制御を止めてアクティブ動作を継続する

ことを特徴とする半導体集積回路装置。

【請求項 2】

メモリセルアレイと、

前記メモリセルアレイの動作開始を指示するチップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、

前記メモリセルアレイのロウアドレスを指示するロウアドレス信号の遷移及びカラムアドレスを指示するカラムアドレス信号の遷移をそれぞれ検知する第 1 のアドレス遷移検知回路と、

前記メモリセルアレイの書き込み動作を指示するライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、

前記チップイネーブル遷移検知回路、前記第 1 のアドレス遷移検知回路及び前記ライトイネーブル遷移検知回路の検知結果に基づいて、前記メモリセルアレイのロウアクセスを制御する制御信号を生成するタイムアウト回路を備える第 1 の制御回路と、

前記カラムアドレス信号の遷移のみを検知する第 2 のアドレス遷移検知回路と、

前記第 2 のアドレス遷移検知回路の検知結果に基づいて、前記メモリセルアレイのカラムアクセスを制御する第 2 の制御回路と、

前記メモリセルアレイのカラムアクセス動作が開始可能な条件となった場合に、前記第 2 のアドレス遷移検知回路でカラムアドレスの遷移を検知した時に、カラムアクセスを行うモード開始と判定してモード判定信号を発生し、カラムアクセスに入った後、あらかじめ決められたアドレスあるいはロウアドレスの遷移を検知した場合には、カラムアクセスの終了と判定して待機状態に入るように制御するモード判定回路とを具備し、

前記モード判定回路でロウアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、前記第 1 の制御回路中の前記タイムアウト回路によ

って前記メモリセルアレイのアクセス動作を制御し、

前記メモリセルアレイに対する書き込み動作時に、前記タイムアウト回路で指示された期間より前に前記ライトイネーブル遷移検知回路によってライトイネーブル信号の終了の遷移が検知されたときは、前記タイムアウト回路によって前記メモリセルアレイのアクセス動作を制御し、

且つ前記メモリセルアレイに対する書き込み動作時に、前記タイムアウト回路で指示された期間の経過後に前記ライトイネーブル遷移検知回路によってライトイネーブル信号の終了の遷移が検知されたときは、前記ライトイネーブル信号の遷移に応答して前記メモリセルアレイのアクセス動作を制御し、

前記モード判定回路でカラムアクセスと判定された場合には、前記メモリセルアレイに対する読み出し動作時に、カラムアクセスが終了するまで前記タイムアウト回路による制御を止めてアクティブ動作を継続し、

前記メモリセルアレイに対する書き込み動作時には、カラムアクセスが終了するまで前記タイムアウト回路あるいはライトイネーブル信号の遷移に応答する制御を止めてアクティブ動作を継続する

ことを特徴とする半導体集積回路装置。

【請求項 3】

前記メモリセルアレイのカラムアクセス動作が開始可能な条件は、前記メモリセルアレイに対するセンス動作の開始以降であり、前記モード判定回路により前記第 1 の制御回路により制御されるセンスアンプ制御回路から出力されるセンスアンプイネーブル信号に基づいて判定が行われることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】

前記メモリセルアレイに対する書き込み動作の開始が、書き込み動作が禁止された期間となるワード線あるいはプレート線のプリチャージ動作の開始以降に指示された時に、前記書き込み動作が禁止された期間内に外部から入力された書き込みデータをラッチするラッチ回路と、

次のサイクルで書き込み動作が可能になるまで書き込みモードを延長するための第 1 の回路と、

当サイクルの終了を待ってから、自動的に次のサイクルを開始する第 2 の回路とを更に具備し、

前記書き込み動作が禁止された期間内に前記ラッチ回路にラッチされたデータを、次のサイクルで書き込み動作が可能になってからメモリセルへの書き込み動作を行い、

次のサイクルで前記モード判定回路により、カラムアクセスを行うモードと判定されたときに、カラムアクセスが終了するまでアクティブ動作を継続することを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 5】

前記メモリセルアレイに対する書き込み動作の開始が、書き込み動作が禁止された期間となるワード線あるいはプレート線のプリチャージ動作の開始以降に指示された時に、前記書き込み動作が禁止された期間内に外部から入力された書き込みデータをラッチする下位ビット用の第 1 のラッチ回路と、

前記メモリセルアレイに対する書き込み動作の開始が、書き込み動作が禁止された期間となるワード線あるいはプレート線のプリチャージ動作の開始以降に指示された時に、前記書き込み動作が禁止された期間内に外部から入力された書き込みデータをラッチする上位ビット用の第 2 のラッチ回路と、

次のサイクルで書き込み動作が可能になるまで書き込みモードを延長するための、下位ビット用の第 1 の回路と、

次のサイクルで書き込み動作が可能になるまで書き込みモードを延長するための、上位ビット用の第 2 の回路と、

当サイクルの終了を待ってから、自動的に次のサイクルを開始する、下位ビット用の第 3 の回路と、

当サイクルの終了を待ってから、自動的に次のサイクルを開始する、上位ビット用の第 4 の回路とを更に具備し、

前記書き込み動作が禁止された期間内に前記第 1 または第 2 のラッチ回路にラッチされたデータを、次のサイクルで書き込み動作が可能になってからメモリセルへの書き込み動作を行い、

次のサイクルで前記モード判定回路により、カラムアクセスを行うモードと判定されたときに、カラムアクセスが終了するまでアクティブ動作を継続することを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 6】

前記カラムアクセスの終了の判定にロウアドレスを用い、且つ次サイクルのロウアドレスに変化が無いとき、前記メモリセルアレイのロウアクセスを制御する制御信号を発生するタイムアウト回路によって当サイクルの終了を待ってから、自動的に次のサイクルを開始する第 5 の回路を更に具備することを特徴とする請求項 1 及至 5 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 7】

前記メモリセルアレイは、強誘電体セルがマトリックス状に配置されて構成されることを特徴とする請求項 1 及至 6 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 8】

前記メモリセルアレイは、T C 並列ユニット直列接続型強誘電体セルがマトリックス状に配置されて構成されることを特徴とする請求項 1 及至 6 いずれか 1 つの項に記載の半導体集積回路装置。

【請求項 9】

前記メモリセルアレイは、ダイナミック型セルがマトリックス状に配置されて構成されることを特徴とする請求項 1 及至 6 いずれか 1 つの項に記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0 0 0 1】

本発明は、半導体集積回路装置に係り、特にメモリコア部にD R A M（ダイナミック型ランダムアクセスメモリ）あるいは強誘電体メモリを用いた半導体集積回路装置に関する。

【背景技術】

【0 0 0 2】

既存のS R A Mと使用上の互換性を保ちつつ集積度を高めるために、メモリコア部にD R A Mあるいは強誘電体メモリを用いた擬似S R A Mが製品化されている。従来の擬似S R A Mでは、図2 1（a），（b）に示すように外部入力信号、例えば外部チップイネーブル信号／C Eから装置内部で時系列的に生成したクロック信号（内部回路制御信号）により、内部回路の動作を制御する同期型が主流である。

【0 0 0 3】

ところで、近年、携帯電話向けに擬似S R A Mの需要が高まっており、外部入力信号に対して非同期でも動作する非同期型擬似S R A Mへの要求が強くなっている。

【0 0 0 4】

非同期型の擬似S R A Mを実現するためには、図2 2（a），（b）のタイミングチャートに示すような動作が必要になる。（a）図は読み出し（Read）動作、（b）図は書き込み（Write）動作を示している。図2 2（a），（b）に示すような読み出し及び書き込み動作を実現するためには、例えば図2 3に示すように、アドレスの遷移を検知する複数のアドレス遷移検知回路（ロウ・カラム系A T D 1 0 0）を設け、このロウ・カラム系A T D 1 0 0にロウアドレスバッファ回路1 0 1から出力されるロウアドレス信号A D xとカラムアドレスバッファ回路1 0 2から出力されるカラムアドレス信号A D yを供給することにより、ロウアドレスとカラムアドレスの遷移を検知する。このロウ・カラム系A T D 1 0 0による検知結果の論理積信号A T D S U Mに基づいて、内部C E制御回路1 0 3で内部回路を制御するための内部チップイネーブル信号（内部回路制御信号）I N C Eを生成する。そして、内部チップイネーブル信号I N C Eをロウ系回路1 0 4及びカラム系回路1 0 5に供給し、時系列的にメモリセルアレイ1 0 6中のワード線W Lやプレート線P Lを駆動する信号を生成してデータの読み出しや書き込み（D o u t，D i n）の動作を制御する、という構成が考えられる。

【0 0 0 5】

このような構成の場合には、外部入力信号（外部チップイネーブル信号／C E、アドレス信号A D x，A D y）で規定されるサイクル時間は自由であるが、内部回路の動作制御に用いられる内部チップイネーブル信号I N C Eは、タイムアウト回路（時間一定）を用いて生成するためサイクル時間は一定となる。

【0 0 0 6】

また、図2 4（a），（b）のタイミングチャートに示すような読み出し及び書き込み動作を行うことにより、上述したような書き込み動作の制約を無くすることが提案されている。すなわち、（b）図に示すように書き込み動作のときはタイムアウト回路を用いず、外部ライトイネーブル信号／W Eで内部回路の動作を制御するようにしている。

【0 0 0 7】

更に、同期型の擬似S R A Mにおいては、図2 1（b）に示したように、ロウアドレスで選択された行の各メモリセルを、カラムアドレス信号により順次アクセスするスタティックカラムモードなどの高速動作モードを持たせる場合が多い。

【0 0 0 8】

しかし、従来の擬似S R A Mは、外部入力信号に対して非同期で動作させながら、スタティックカラムモードなどの高速動作モードを実行することができない。これは、非同期型ではロウアドレス及びカラムアドレスの遷移をトリガにしてロウアクセスを開始するた

め、同じようにカラムアドレスの遷移をトリガにしてアクセスするカラムアクセスとは動作を区別できないからである。また、非同期型ではタイムアウト回路を用いて内部回路の動作を制御しているため、内部回路のサイクル時間は一定に決まっており、特別な動作モードを両立するような構成にはなっていない。

【0009】

そのため、擬似SRAMを外部入力信号に対して非同期で動作させ、さらに高速動作モードを非同期で実行できる半導体集積回路装置の実現が望まれていた。

【0010】

このような要求に応えるために、例えば特許文献1では、ロウアクセス用とカラムアクセス用の二系統のATDを設け、これらをもとにアクセスに必要な所望な長さの内部回路制御信号を発生し、且つ2つのモードを判定するモード判定回路を設けている。そして、モードの判定をアドレス遷移の間隔の大小から自動判定する構成が開示されている。

【0011】

しかしながら、この特許文献1に開示されているような構成では、アドレス遷移間隔の検知時間がある決まった範囲に設定しなければならず、カラムアクセスモードのサイクル時間が自由に設定できないという問題があった。

【特許文献1】特開2002-269977

【発明の開示】

【発明が解決しようとする課題】

【0012】

上記のように、擬似SRAMを搭載した従来の半導体集積回路装置は、非同期動作を行うとスタティックカラムモードなどの高速動作モードを実行することができないという問題があった。また、高速動作モードを実行可能なものであっても、あらかじめ決められた範囲のサイクル時間でしか動作できないという問題があった。

【0013】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、あらかじめ決められた範囲のサイクル時間に制限されない自由度の高い非同期動作と高速動作モードとを兼ね備えた半導体集積回路装置を提供することにある。

【課題を解決するための手段】

【0014】

本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイの動作開始を指示するチップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、前記メモリセルアレイのロウアドレスを指示するロウアドレス信号の遷移及びカラムアドレスを指示するカラムアドレス信号の遷移をそれぞれ検知する第1のアドレス遷移検知回路と、前記メモリセルアレイの書き込み動作を指示するライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、前記チップイネーブル遷移検知回路、前記第1のアドレス遷移検知回路及び前記ライトイネーブル遷移検知回路の検知結果に基づいて、前記メモリセルアレイのロウアクセスを制御する制御信号を生成するタイムアウト回路を備える第1の制御回路と、前記カラムアドレス信号の遷移のみを検知する第2のアドレス遷移検知回路と、前記第2のアドレス遷移検知回路の検知結果に基づいて、前記メモリセルアレイのカラムアクセスを制御する第2の制御回路と、前記メモリセルアレイのカラムアクセス動作が開始可能な条件となった場合に、前記第2のアドレス遷移検知回路でカラムアドレスの遷移を検知した時に、カラムアクセスを行うモード開始と判定してモード判定信号を発生し、カラムアクセスに入った後、あらかじめ決められたアドレスあるいはロウアドレスの遷移を検知した場合には、カラムアクセスの終了と判定して待機状態に入るように制御するモード判定回路とを具備し、前記モード判定回路でロウアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、前記第1の制御回路中の前記タイムアウト回路によって前記メモリセルアレイのアクセス動作を制御し、前記モード判定回路でカラムアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、カラムアクセスが終了するまで前記タイムアウト回

路による制御を止めてアクティブ動作を継続する半導体集積回路装置が提供される。

【0015】

また、本発明の一態様によると、メモリセルアレイと、前記メモリセルアレイの動作開始を指示するチップイネーブル信号の遷移を検知するチップイネーブル遷移検知回路と、前記メモリセルアレイのロウアドレスを指示するロウアドレス信号の遷移及びカラムアドレスを指示するカラムアドレス信号の遷移をそれぞれ検知する第1のアドレス遷移検知回路と、前記メモリセルアレイの書き込み動作を指示するライトイネーブル信号の遷移を検知するライトイネーブル遷移検知回路と、前記チップイネーブル遷移検知回路、前記第1のアドレス遷移検知回路及び前記ライトイネーブル遷移検知回路の検知結果に基づいて、前記メモリセルアレイのロウアクセスを制御する制御信号を生成するタイムアウト回路を備える第1の制御回路と、前記カラムアドレス信号の遷移のみを検知する第2のアドレス遷移検知回路と、前記第2のアドレス遷移検知回路の検知結果に基づいて、前記メモリセルアレイのカラムアクセスを制御する第2の制御回路と、前記メモリセルアレイのカラムアクセス動作が開始可能な条件となった場合に、前記第2のアドレス遷移検知回路でカラムアドレスの遷移を検知した時に、カラムアクセスを行うモード開始と判定してモード判定信号を発生し、カラムアクセスに入った後、あらかじめ決められたアドレスあるいはロウアドレスの遷移を検知した場合には、カラムアクセスの終了と判定して待機状態に入るように制御するモード判定回路とを具備し、前記モード判定回路でロウアクセスと判定された場合には、前記メモリセルアレイに対する読み出し及び書き込み動作時に、前記第1の制御回路中の前記タイムアウト回路によって前記メモリセルアレイのアクセス動作を制御し、前記メモリセルアレイに対する書き込み動作時に、前記タイムアウト回路で指示された期間より前に前記ライトイネーブル遷移検知回路によってライトイネーブル信号の終了の遷移が検知されたときは、前記タイムアウト回路によって前記メモリセルアレイのアクセス動作を制御し、且つ前記メモリセルアレイに対する書き込み動作時に、前記タイムアウト回路で指示された期間の経過後に前記ライトイネーブル遷移検知回路によってライトイネーブル信号の終了の遷移が検知されたときは、前記ライトイネーブル信号の遷移に応答して前記メモリセルアレイのアクセス動作を制御し、前記モード判定回路でカラムアクセスと判定された場合には、前記メモリセルアレイに対する読み出し動作時に、カラムアクセスが終了するまで前記タイムアウト回路による制御を止めてアクティブ動作を継続し、前記メモリセルアレイに対する書き込み動作時には、カラムアクセスが終了するまで前記タイムアウト回路あるいはライトイネーブル信号の遷移に応答する制御を止めてアクティブ動作を継続する半導体集積回路装置が提供される。

【発明の効果】

【0016】

本発明によれば、あらかじめ決められた範囲のサイクル時間に制限されない自由度の高い非同期動作と高速動作モードとを兼ね備えた半導体集積回路装置が得られる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照して説明する。

〔第1の実施の形態〕

図1は、本発明の第1の実施の形態に係る半導体集積回路装置について説明するためのもので、半導体集積回路装置に搭載される擬似SRAMの読み出し及び書き込みに係る回路を抽出して示す概要構成図である。この擬似SRAMは、内部CE制御回路1、CEバッファ回路2a、ロウアドレスバッファ回路2b、カラムアドレスバッファ回路2c、WEバッファ回路2d、内部WE制御回路6、カラム系ATD10、ロウ・カラム系ATD11、ロウ系回路12、カラム系回路13、メモリセルアレイ15及びモード判定回路26等を備えている。

【0018】

上記CEバッファ回路2aには外部チップイネーブル信号／CE、上記ロウアドレスバッファ回路2bにはロウアドレス信号ADx、上記カラムアドレスバッファ回路2cには

カラムアドレス信号AD_y、上記WEバッファ回路2dには外部ライトイネーブル信号／WEがそれぞれ入力される。これらのバッファ回路2a～2dの出力信号は、ロウ・カラム系ATD11に供給される。上記バッファ回路2cの出力信号はカラム系ATD10に供給される。このカラム系ATD10は、カラムアドレス信号AD_yの遷移を検知してカラム系回路13の動作に必要な検知信号(ATD信号)ATDSCを発生する。また、上記バッファ回路2dの出力信号は内部WE制御回路6に供給される。

【0019】

上記ロウ・カラム系ATD11には、上記モード判定回路26から出力されるモード判定信号SCが供給され、上記内部CE制御回路1にロウ・カラム系検知信号(ATD信号)ATDSUMを供給するようになっている。この内部CE制御回路1には、上記CEバッファ回路2aの出力信号、及び上記モード判定回路26から出力されるモード判定信号SCが供給され、内部チップイネーブル信号INCEを生成してロウ系回路12及びカラム系回路13の動作を制御すると共に、ロウアドレスバッファ回路2b、カラムアドレスバッファ回路2c及び内部WE制御回路6の制御を行う。

【0020】

上記モード判定回路26には、上記バッファ回路2b、2cからモードアドレス(ロウアドレス)が供給されると共に、ロウ系回路12からセンスアンブイネーブル信号SAEBL、カラム系ATD10のATD信号ATDSCがそれぞれ供給される。このモード判定回路26は、これらの信号に基づいてロウアクセスとカラムアクセスのどちらを実行するか判定し、上記モード判定信号SCを生成する。

【0021】

上記カラム系ATD10には、更に上記ロウ系回路12から出力されるセンスアンブイネーブル信号SAEBL、及び上記モード判定回路26から出力されるモード判定信号SCが供給され、カラムアドレスのATD信号ATDSCをカラム系制御回路13に供給する。

【0022】

上記カラム系回路13には、更に上記内部WE制御回路6の出力信号(内部ライトイネーブル信号)INWEが供給される。

【0023】

そして、上記ロウ系回路12と上記カラム系回路13によりメモリセルアレイ15のアクセス動作が行われ、このメモリセルアレイ15から読み出しデータDoutが出力される、あるいはこのメモリセルアレイ15に書き込みデータDinが入力されるようになっている。

【0024】

図2は、上記図1に示した回路の要部の詳細な構成例、並びに周辺回路をより詳細に示すブロック図である。上記ロウ・カラム系ATD11は、ATD回路3、AND回路4及びトリガ遅延ON/OFF回路24等を含んで構成されている。上記ATD回路3は、上記各バッファ回路2a～2dの出力信号が供給され、これらの信号の遷移を検知するATD3a～3dから構成されている。各ATD3a、3c、3dから出力される検知結果を表す信号ATDCE、ATDAD_y、ATDWEはそれぞれ、上記AND回路4の入力端に供給される。ATD3bから出力される検知結果を表す信号ATDAD_xは、トリガ遅延ON/OFF回路24を介してAND回路4に供給される。トリガ遅延ON/OFF回路24には、内部CE制御回路1から出力されるサイクルを規定する制御信号CYCLEが供給されて制御される。このトリガ遅延ON/OFF回路24は、ロウアドレス信号AD_xの遷移トリガを該当サイクル内で受け付けずに、サイクルの終了を待って受け付けるようにするためのものである。そして、このAND回路4から出力される論理積信号ATDSUMが、内部CE制御回路1に供給されるようになっている。

【0025】

また、上記バッファ回路2a、2dの出力信号は、NOR回路5の入力端に供給される。このNOR回路5は、外部チップイネーブル信号／CEと外部ライトイネーブル信号／

WEとと共に“L”レベルの時に書き込み動作を開始するための信号WE EBLを内部WE制御回路6に供給する。

【0026】

上記内部CE制御回路1中には、スイッチ(SW)1C、内部タイムアウト回路として働き、所定幅のパルス信号を出力するパルスジェネレータ(Auto pulse)1A、及び書き込み動作とモード切り替え時に外部ライトイネーブル信号/WEの遷移に応答したパルス信号を出力するパルスジェネレータ(Ext. pulse)1Bが設けられている。上記AND回路4から出力される論理積信号ATDSUM、上記内部WE制御回路6から出力される内部ライトイネーブル信号INWE、及びモード判定回路26から出力されるモード判定信号SCはそれぞれ、スイッチ1Cに供給される。このスイッチ1Cにより選択された信号は、パルスジェネレータ1A、1Bに供給される。そして、これらパルスジェネレータ1A、1Bから出力される内部チップイネーブル信号INCE(INCE1/INCE2)が、ロウ系制御回路12'とカラム系制御回路13'にそれぞれ供給され、サイクルを規定する制御信号CYCLEが上記トリガ遅延ON/OFF回路24に供給されるようになっている。

【0027】

上記ロウ系制御回路12'は、プレート(PL)制御回路7、ワード線(WL)制御回路8、ロウデコーダ及びプレートデコーダ(RD/PD)14、及びセンスアンプ制御回路27等のロウ系回路12を制御する。

【0028】

一方、上記カラム系制御回路13'は、カラムデコーダ(CD)16やDQバッファ23等のカラム系回路13を制御する。

【0029】

上記プレート制御回路7の出力信号PLCLKと上記ワード線制御回路8の出力信号WLCLKは、ロウデコーダ及びプレートデコーダ14に供給され、このロウデコーダ及びプレートデコーダ14によってメモリセルアレイ15中のワード線WLとプレート線PLの選択及び駆動が行われる。また、上記センスアンプ制御回路27から出力されるセンスアンプイネーブル信号SAEBLによって、メモリセルアレイ15中のセンスアンプの駆動が行われる。更に、上記カラムデコーダ16によってメモリセルアレイ15中のカラム選択線CSLの選択が行われる。

【0030】

上記センスアンプ制御回路27から出力されるセンスアンプイネーブル信号SAEBLは、更にモード判定回路26に供給される。このモード判定回路26には、バッファ回路2b、2cから出力されるモードアドレス、カラム系ATD10から出力されるカラムアドレスのATD信号ATDSCが供給されており、スイッチ1Cに供給するモード判定信号SCを生成するようになっている。

【0031】

上記メモリセルアレイ15中の選択されたメモリセルへの書き込みデータDinは、書き込みデータラッチ18にラッチされた後、データラッチ22に供給され、データ線DQLを介して書き込まれる。また、書き込みデータラッチ18にラッチした書き込みデータDinを外部に出力可能に構成されている。一方、選択されたメモリセルから読み出されたデータは、データ線DQLを介してDQバッファ23に供給され、さらに読み出しデータラッチ19に供給されてラッチされ、読み出しデータDoutとして出力される。

【0032】

上記書き込みデータラッチ18及び読み出しデータラッチ19はそれぞれ、入出力系制御回路17によって動作が制御される。この入出力系制御回路17及び上記データラッチ22は、内部WE制御回路6から出力される内部ライトイネーブル信号INWEによって制御されるようになっている。

【0033】

上記メモリセルアレイ15中には、図3(a)に示すような1トランジスタ・1キャパ

シタ構造を有する強誘電体セルMC 1がマトリックス状に配置されている。この強誘電体セルMC 1のセルキャパシタC 1には、キャパシタ絶縁膜として強誘電体材料、例えばチタン酸ジルコン酸鉛 (PbZrTiO_3 : PZT) が用いられている。

【0034】

まず、図3 (a), (b) 及び図4を参照して、上記強誘電体セルMC 1の構成並びにデータの書き込み／読み出し／再書き込み動作について簡単に説明する。

【0035】

強誘電体セルMC 1に対するデータの書き込み動作は、次のように行われる。すなわち、ワード線WLを選択した状態で、プレート線PLを接地電位 (“L” レベル) からある所定電位 (“H” レベル) までパルス駆動した後に、“L” レベルに戻すことにより、ビット線BL上のデータを書き込むことができる。

【0036】

一方、強誘電体セルMC 1に対する記憶データの読み出し動作は、ワード線WLを選択した状態でプレート線PLを “L” レベルから “H” レベルにパルス駆動することにより、電荷をビット線BLに読み出すことができる。

【0037】

すなわち、図3 (a) に示した強誘電体セルMC 1のセルキャパシタC 1は、電極間に電圧が印加されていない状態では図4中 “0” 及び “1” と示した上向きあるいは下向きの2方向いずれかの分極状態となっており、不揮発性のメモリとなっている。そこに電圧を印加すると、状態が “1” である場合には分極は反転しないが “0” であった場合は分極が反転する。これら2つの状態において、同じ電圧を印加するのに必要な電荷量、言い換えると一方の電極に同じ電圧を印加したときに、“0”, “1” の記憶状態に応じて他方の電極に発生する電荷量が異なる。これらの差を検知することにより記憶データの読み出しを行う。上記のような強誘電体メモリのデータの読み出しは破壊読み出しであり、読み出し動作を行った後に必ず再書き込み動作を行う必要がある。

【0038】

図3 (a) に示した強誘電体セルMC 1のデータの再書き込み動作は、図3 (b) に示すように、読み出しデータが “0” の場合は、読み出し時にセンスアンプでセンス増幅した時にデータ “0” の再書き込み動作が行われる。これに対し、読み出しデータが “1” の場合は、プレート線PLを “H” レベルから “L” レベルに戻してからデータ “1” の再書き込み動作を開始する。

【0039】

次に、図1及び図2に示した擬似SRAMにおいて、モード判定回路26によりロウアクセスとカラムアクセスのモード判定を必要とする理由を説明する。

【0040】

図1の回路におけるロウアクセス (ノーマルモード) とカラムアクセス (スタティックカラムモード) の動作はワード線選択までは同じであるが、その後の動作が異なる。ロウアクセスでは、ロウ・カラム系ATD信号 (ATDSUM) に基づいて内部チップイネーブル信号INC Eが生成されてからある一定時間後に待機動作に入り、カラムアクセスでは、アクセス期間中には待機状態に入らないようにし、アクセスの終了を検知して待機状態にする必要がある。

【0041】

そこで、上記内部CE制御回路1を、例えば図5に示すようなパルスジェネレータで構成する。この内部CE制御回路1は、インバータ30~33、遅延回路 (delay) 34及びNAND回路35, 36を含んで構成される。この回路1は、外部チップイネーブル信号／CE、外部ライトイネーブル信号／WE及びアドレス信号ADx, ADyのいずれかの遷移をトリガにして発生したパルス状の論理積信号ATDSUM、モード判定信号SC E及び内部ライトイネーブル信号INWEの論理をとって内部チップイネーブル信号INC Eを生成するパルスジェネレータとなっている。

【0042】

ロウ・カラム系 A T D 1 1 から出力される論理積信号 A T D S U M は、インバータ 3 0 の入力端に供給される。このインバータ 3 0 の出力信号 P 1 は、N A N D 回路 3 6 の一方の入力端及び遅延回路 3 4 に供給される。上記遅延回路 3 4 から出力される遅延信号 P 2 は、N A N D 回路 3 5 の第 1 の入力端に供給される。また、モード判定回路 2 6 から出力されるモード判定信号 S C は、インバータ 3 1 の入力端に供給される。このインバータ 3 1 の出力信号 P 5 は、上記 N A N D 回路 3 5 の第 2 の入力端に供給される。内部 W E 制御回路 6 から出力される内部ライトイネーブル信号 I N W E は、インバータ 3 2 の入力端に供給される。このインバータ 3 2 の出力信号 P 3 は、上記 N A N D 回路 3 5 の第 3 の入力端に供給される。上記 N A N D 回路 3 5 の出力信号は、インバータ 3 3 の入力端に供給され、このインバータ 3 3 の出力信号 P 4 は、上記 N A N D 回路 3 6 の他方の入力端に供給される。そして、この N A N D 回路 3 6 の出力端から内部チップイネーブル信号 I N C E を出力するようになっている。

【0043】

この内部 C E 制御回路 1 は、ノーマル読み出し動作 (Normal Read) では、図 6 (a) のタイミングチャートに示すように、ロウ・カラム系 A T D 1 1 でアドレス信号の遷移を検知して論理積信号 A T D S U M が “L” レベルとなると、インバータ 3 0 の出力信号 P 1 は “H” レベルとなり、N A N D 回路 3 6 から出力される内部チップイネーブル信号 I N C E が “H” レベルとなる。また、上記インバータ 3 0 の出力信号 P 1 は、遅延回路 3 4 で遅延され、N A N D 回路 3 5 の第 1 の入力端に供給される。この時、モード判定回路 2 6 から出力されるモード判定信号 S C と内部 W E 制御回路 6 から出力される内部ライトイネーブル信号 I N W E は常に “L” レベルとなっているため、インバータ 3 1, 3 2 の出力信号 P 5, P 3 は “H” レベルである。よって、遅延回路 3 4 の出力信号 P 2 が所定の遅延時間経過後に “L” レベルから “H” レベルになると、N A N D 回路 3 5 の出力信号は “L” レベル、インバータ 3 3 の出力信号 P 4 は “H” レベルとなる。この結果、N A N D 回路 3 6 から出力される内部チップイネーブル信号 I N C E は “L” レベルになる。

【0044】

すなわち、内部 C E 制御回路 1 は、論理積信号 A T D S U M が “L” レベルとなってから、遅延回路 3 4 による遅延時間までの期間 “H” レベルとなる自動パルス信号 (Auto pulse) I N C E を生成するパルスジェネレータとして働く。

【0045】

これに対し、図 6 (b) に示すスタティックカラム読み出し動作 (Static Column Read) では、アドレスの遷移を検知してロウ・カラム系 A T D 1 1 から出力される論理積信号 A T D S U M が “L” レベルとなると、インバータ 3 0 の出力信号 P 1 は “H” レベルとなり、N A N D 回路 3 6 から出力される内部チップイネーブル信号 I N C E は “H” レベルとなる。また、上記インバータ 3 0 の出力信号 P 1 は、遅延回路 3 4 で遅延され、N A N D 回路 3 5 の第 1 の入力端に供給される。この時、モード判定回路 2 6 から出力されるモード判定信号 S C と内部 W E 制御回路 6 から出力される内部ライトイネーブル信号 I N W E が “L” レベルとなっている期間は、インバータ 3 1, 3 2 の出力信号 P 5, P 3 は “H” レベルであり、N A N D 回路 3 5 の出力信号は “L” レベル、インバータ 3 3 の出力信号 P 4 は “H” レベルとなる。よって、N A N D 回路 3 6 から出力される内部チップイネーブル信号 I N C E は “H” レベルを維持している。

【0046】

そして、スタティックカラム読み出し動作に入り、上記遅延回路 3 4 の遅延時間内にモード判定信号 S C が “H” レベルとなると、上記遅延回路 3 4 による遅延時間に拘わらずモード判定信号 S C が “L” レベルとなるまでの期間は、内部 C E 制御回路 1 の出力信号 I N C E は “H” レベルを保ち続ける。よって、内部 C E 制御回路 1 は、論理積信号 A T D S U M が “L” レベルとなってから、モード判定信号 S C が “L” レベルとなるまでの期間 “H” レベルを維持するパルス信号 (Ext. pulse) を生成するパルスジェネレータとして働く。

【0047】

図7(a), (b)はそれぞれ、上記図5に示した回路の書き込み動作を示すタイミングチャートである。ノーマル書き込み動作(Normal Write)では、図7(a)のタイミングチャートに示すように、ロウ・カラム系ATD11でアドレス信号の遷移を検知して論理積信号ATDSUMが“L”レベルとなると、インバータ30の出力信号P1は“H”レベルとなり、NAND回路36から出力される内部チップイネーブル信号INCEは“H”レベルとなる。また、上記インバータ30の出力信号P1は、遅延回路34で遅延され、NAND回路35の第1の入力端に供給される。この時、モード判定回路26から出力されるモード判定信号SCは“L”レベルとなっているが、上記遅延回路34の遅延時間内に外部ライトイネーブル信号/WEが“L”レベルとなって書き込み動作に入ると、内部WE制御回路6から出力される内部ライトイネーブル信号INWEが“H”レベルとなる。よって、インバータ31の出力信号P5は“H”レベルであり、インバータ32の出力信号P3は“L”レベルであり、NAND回路35の出力信号は“L”レベル、インバータ33の出力信号P4は“H”レベルとなる。この結果、NAND回路36から出力される内部チップイネーブル信号INCEは遅延時間に拘わらず“L”レベルになる。

【0048】

すなわち、内部CE制御回路1は、論理積信号ATDSUMが“L”レベルとなってから、内部ライトイネーブル信号INWEが“L”レベルになるまでの期間“H”レベルとなるパルス信号INCEを生成するパルスジェネレータとして働く。

【0049】

これに対し、図7(b)に示すスタティックカラム書き込み動作(Static Column Write)では、アドレスの遷移を検知してロウ・カラム系ATD11から出力される論理積信号ATDSUMが“L”レベルとなると、インバータ30の出力信号P1は“H”レベルとなり、NAND回路36から出力される内部チップイネーブル信号INCEは“H”レベルとなる。また、上記インバータ30の出力信号P1は、遅延回路34で遅延され、NAND回路35の第1の入力端に供給される。この時、モード判定回路26から出力されるモード判定信号SCと内部WE制御回路6から出力される内部ライトイネーブル信号INWEは共に“L”レベルとなっているため、インバータ31, 32の出力信号P5, P3は“H”レベルであり、NAND回路35の出力信号は“L”レベル、インバータ33の出力信号P4は“H”レベルとなる。よって、NAND回路36から出力される内部チップイネーブル信号INCEは“H”レベルである。

【0050】

そして、上記遅延回路34の遅延時間内にモード判定信号SCが“H”レベルとなり、スタティックカラム書き込み動作に入ると、内部ライトイネーブル信号INWEが“H”レベルとなり、上記遅延回路34による遅延時間に拘わらずモード判定信号SCが“H”レベルとなるまでの間は、内部CE制御回路1の出力信号INCEは“H”レベルを保ち続ける。よって、内部CE制御回路1は、ノーマル読み出し動作と同様に、論理積信号ATDSUMが“L”レベルとなってから、モード判定信号SCが“L”レベルとなるまで“H”レベルを維持するパルス信号(Ext. pulse)を生成するパルスジェネレータとして働く。

【0051】

また、サイクル動作の開始がアドレスの遷移ではなく、外部ライトイネーブル信号/WEの遷移を検知した場合も同様に、ロウ・カラム系ATD11から出力される論理積信号ATDSUMにより、同様な動作を行うことができる。すなわち、書き込み動作における内部チップイネーブル信号INCEは、内部タイムアウト時間によらず、外部ライトイネーブル信号/WEで制御されることになる。

【0052】

図8は、上記図1及び図2に示した回路におけるモード判定回路26の具体的な構成例を示している。このモード判定回路26は、NAND回路40~44とインバータ45とを含んで構成されている。上記NAND回路40には、ロウアドレスのATD信号ATDAD_xとページアドレスATDAD<0>, ATDAD<1>が入力される。このNAND

D回路40の出力信号ATDMODEは、NAND回路41の一方の入力端に供給される。上記NAND回路41の他方の入力端には内部CE制御回路1から時系列に生成されるセンスアンパイネーブル信号SAEBLが供給されている。上記NAND回路41の出力信号(リセット信号R)は、NAND回路42の一方の入力端に供給される。

【0053】

また、上記インバータ45には、カラム系ATD10から出力されるカラムアドレスのATD信号ATDSCが供給され、このインバータ45の出力信号はNAND回路43の一方の入力端に供給される。上記NAND回路43の他方の入力端には、上記センスアンパイネーブル信号SAEBLが供給されている。上記NAND回路43の出力信号(セット信号S)は、NAND回路44の一方の入力端に供給される。

【0054】

上記NAND回路42の出力信号はNAND回路44の他方の入力端に供給され、NAND回路44の出力信号はNAND回路42の他方の入力端に供給される。そして、上記NAND回路44からモード判定信号SCを出力するようになっている。

【0055】

上記モード判定回路26は、NAND回路41の出力をリセット信号Rとし、NAND回路43の出力をセット信号SとするR-Sフリップフロップ回路になっている。そして、センスアンパイネーブル信号SAEBLが活性化された後のカラムアドレス遷移を検知し(セット)、モード判定信号(カラムアクセス判定信号)SCを“H”レベルにしてカラムアクセスモードを開始する。連続したカラムアドレスに続いてモードアドレス(ロウアドレス)が入力された場合には、カラムアクセス判定信号SCを“L”にしてカラムアクセスモード終了(リセット)と判定して待機動作を開始する。

【0056】

上記モードアドレスは、一般にはロウアドレスを用いるが、例えばページモードを搭載している擬似SRAMで用いられているページ用アドレス(A0/A1)を用いることも可能である。あるいは、あらかじめあるアドレスをモードアドレスに決めておいてそれを用いても良い。

【0057】

カラムアクセス終了のモードアドレスを決まったアドレスやページ用アドレスに決めた場合には、その遷移により待機動作が開始されるので、次にロウアドレスあるいはカラムアドレスが遷移した時点から次のサイクル開始と定義でき、アクセス時間に遅れが生じない。

【0058】

このときの仕様は、カラムアクセスの終了コマンドとして決まったモードアドレスを入力した後、待機動作の間待ってから、次サイクルの開始アドレスを入力するというものになる。

【0059】

更に、図10(a)、(b)に示すように、モードアドレスとしてロウアドレスを用いる場合の仕様は、あらかじめ決まったアドレスをモードアドレスとして用いる場合と同じく、カラムアクセスの終了コマンドとしてロウアドレス(モードアドレス)を入力した後、待機動作の間待ってから、次サイクルの開始アドレス(ロウあるいはカラム)を入力するというものになる。但し、次サイクルの開始アドレスがロウアドレスであったとしても、2回ロウアドレスを遷移する必要がある。

【0060】

また、上述した第1の実施の形態の変形例として、図11(a)、(b)に示すように、カラムアクセスの終了コマンド兼次サイクルの開始アドレスとしてロウアドレスを入力するというのもであっても良い。この場合、次のノーマル動作は、一般的にはロウアドレスの遷移した時点から次のサイクル開始と定義されてしまうことになり、実際の内部動作は前サイクルの待機動作の後で次サイクルのアクティブ動作をおこなっているためアクセス時間が遅れることになるが、カラムアクセスとロウアクセスを混在して使うことは余り

無いので問題にはならないと考えられる。

【0061】

この場合は、通常、次サイクルの開始アドレスがモードアドレスと同一となり、次サイクルの開始トリガが発生しないことになるので、これに対応するためにプリチャージサイクル(時間一定)が終わった後、ある一定期間内にアドレス遷移が検知されない場合は、モードアドレスと同一アドレス遷移と見なし自動的にパルス ATDSUM を発生し、次のアクティブサイクルが開始される構成をとる。

【0062】

例えば、図2及び図11(a), (b)に示すように、サイクルを規定する制御信号 CYCLE が“L”レベルになり、前サイクルが終了するとトリガ遅延 ON/OFF 回路 28 により、モードアドレスの遷移によるトリガが遅延されパルスを発生する。

【0063】

本構成によれば、「モードアドレス＝次サイクルの開始アドレス」となるので2回アドレス遷移を行う必要はなくなる。但し、カラムアクセスを終了させるには必ずロウアドレスを遷移させなければならないという制約は変わらないので、もし次サイクルの開始をカラムアドレスの遷移で行いたい場合は、モードアドレス(ロウアドレス)を遷移させてから、待機動作の間待ってからカラムアドレスを遷移する必要がある。

【0064】

特にSRAM互換の仕様においては、サイクル時間が重視されており、アクセス時間は遅くても構わないので、サイクル時間をプリチャージサイクルを行ってからアクティブサイクルを行う、というように定義すれば仕様書上、時間の無駄はなくなる。

【0065】

上述したように、上記構成を採用すれば新たな制御ピンを追加することなく、非同期仕様の擬似SRAMにおいて確実に高速動作モードを行うことが可能となる。

【0066】

[第2の実施の形態]

図12乃至図14はそれぞれ、本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、図12は擬似SRAMにおける読み出し及び書き込みに係る要部を抽出して詳細な構成例を示すブロック図、図13及び図14はその動作を示すタイミングチャートである。

【0067】

本発明の第2の実施の形態では、図12に示すように図2で示した第1の実施の形態に係る回路に加えて、書き込み命令が遅く入力された場合にも対応できる構成に対してカラムアクセスを可能にしたものである。

【0068】

すなわち、外部ライトイネーブル信号/WEのATD(遷移検知回路)3dとAND回路4との間にトリガ遅延ON/OFF回路28を設け、第1の内部WE制御回路6の出力端に書き込みモードラッチON/OFF回路20を新たに設けたものである。

【0069】

上記トリガ遅延ON/OFF回路28は、外部ライトイネーブル信号/WEの遷移トリガを当サイクル内で受け付けずに、サイクルの終了を待って受け付けるようにするためのものである。

【0070】

上記書き込みモードラッチON/OFF回路20は、セルへのデータの書き込みを当サイクルでは行わず次サイクルで行うためのものである。この書き込みモードラッチON/OFF回路20には、第1の内部WE制御回路6の出力信号INWE1、プレート線制御回路7の出力信号PLCLKが供給され、第2の内部WE制御回路25の出力信号INWE2を発生し、それをデータラッチ回路22に供給するようになっている。また、上記第1の内部ライトイネーブル信号INWE1は、入力/出力制御回路17に供給される。

【0071】

このような構成を採用することにより、図 1 3 で示すような遅いノーマル書き込み動作（遅い Write の Normal Write）の場合に、プレート線 P L がパルス駆動を終えてからの書き込みであることを検知し、外部ライトイネーブル信号 / W E の遷移検知によるトリガの発生を当サイクルの終了時間まで遅延し、それをもとに内部チップイネーブル信号 I N C E 1 および I N C E 2 を生成することができる。これにより、当サイクルで発生した外部ライトイネーブル信号 / W E の遷移をあたかも次のサイクルで遷移したかのように見せ、それに応答してトリガを発生し、次の動作サイクルを開始することができる。

【 0 0 7 2 】

なお、書き込みデータは、当サイクル中のデータを取り込む必要があるため、書き込みデータラッチ 1 8 への書き込みデータのラッチは、外部ライトイネーブル信号 / W E に基づいて生成される信号 I N W E 1 が入力する入出力系制御回路 1 7 で行われる。

【 0 0 7 3 】

上述した構成並びに動作の概要をまとめると以下のようなになる。

【 0 0 7 4 】

アドレスが遷移してサイクルが始まってから、遅く書き込み動作が始まると、最初は読み出し動作が行われる。この際、プレート線 P L やワード線 W L のプリチャージが始まる前（内部タイムアウト回路で規定される時間内）に外部ライトイネーブル信号 / W E が “ L ” レベルとなった場合は、外部ライトイネーブル信号 / W E で制御可能である。しかし、プレート線 P L がパルス駆動を終えてから（ “ H ” レベルから “ L ” レベルになってから）書き込み動作が開始されるような極端に遅い場合には、当サイクル中の書き込みデータはラッチするが、当サイクル内にセルへの書き込み動作は行わず、次のサイクルを自動的に起動し、次のサイクルでセルへの書き込み動作を行うように構成している。

【 0 0 7 5 】

更に、内部 W E 制御回路が書き込み動作中に外部ライトイネーブル信号 / W E が “ L ” レベルから “ H ” レベルにされてしまうと書き込み動作が終了してしまうので、内部回路が一旦書き込み動作に入った場合は、所定幅の内部ライトイネーブル信号 I N W E 1 を生成し、一定時間は書き込み動作を保持するように構成する。上述した構成を採用することにより、非同期型であってもユーザが自由に書き込み動作を行うことができる。

【 0 0 7 6 】

次に、このように構成された装置のカラムアクセス動作について図 1 3 のタイミングチャートにより説明する。

【 0 0 7 7 】

書き込みサイクルに入るまでの動作は、ノーマル動作と同じであり、遅い書き込み動作を開始すると当サイクル内にセルへの書き込み動作は行わず、次のサイクルを自動的に起動して内部動作サイクルを開始する。その後、センスアンプイネーブル信号 S A E B L が活性化された後、カラムアドレスの遷移を検知すると、モード判定回路 2 6 においてカラムアクセス開始と判定してカラムアクセス判定信号 S C を “ H ” レベルにしてカラムアクセスモードを開始する。その後、連続したカラムアドレス入力に続いてモードアドレス（ロウアドレス）が入力された場合には、カラムアクセス判定信号 S C を “ L ” レベルにしてカラムアクセスモード終了と判定して待機動作を開始する。

【 0 0 7 8 】

その時、第 2 の内部書き込み制御回路 2 5 の内部ライトイネーブル信号 I N W E 2 は “ H ” レベルを保ち、カラムアクセスが終了するまで書き込みモードをラッチする。これにより書き込み動作の制限を無くした構成においてもカラムアクセスが可能となる。

【 0 0 7 9 】

〔第 3 の実施の形態〕

図 1 5 は、本発明の第 3 の実施の形態に係る半導体集積回路装置について説明するためのブロック図である。本実施の形態では、バイト制御が可能な構成としている。バイト制御とは、例えば 1 6 ビット構成の半導体装置の場合に、下位 8 ビット（ L B ）と上位 8 ビット（ U B ）に区分し、下位ビットと上位ビット毎にまとまった区分で読み書きすること

ができる装置である。例えば、16ビット構成を8ビット構成のように使う場合や、下位ビットあるいは上位ビットを別々に読み書きする場合に使われる。

【0080】

このようなバイト制御を実現するために、前述した第2の実施の形態におけるバイト制御に関係する一部の回路を、下位ビット用(LB)と上位ビット(UB)用の2系統設けている。

【0081】

図15において、上記図12と同一構成部には同じ符号を付し、且つ下位ビット用には図12で用いた参照符号の後にA、上位ビット用には参照符号の後にBを付している。

【0082】

図15に示す回路の動作は、下位ビット及び上位ビット毎にまとまった区分で読み書きする点のみが図12に示した回路と異なり、基本的には同様であるので、その詳細な説明は省略する。

【0083】

[第4の実施の形態]

上記第1乃至第3の実施の形態に係る半導体集積回路装置では、メモリコア部に1トランジスタ・1キャパシタ構造を有する強誘電体セルMC1が単独でビット線BL及びプレート線PLに接続されている強誘電体セルのアレイを用いた擬似SRAMについて説明した。しかし、本発明は、メモリコア部にTC並列ユニット直列接続型強誘電体セルを1ユニットとしてビット線BL及びプレート線PLに接続したアレイを用いた擬似SRAMにも適用可能である。

【0084】

図16(a)、(b)は、TC並列ユニット直列接続型強誘電体セルの1ユニット分の等価回路及びその動作波形を示すタイミングチャートである。

【0085】

図16(a)に示すTC並列ユニット直列接続型強誘電体セルの1ユニット分は、複数個(本例では4個)の強誘電体セルMC2-0~MC2-3と1個のユニット選択トランジスタSTの電流通路が、ビット線BLとプレート線PL線間に直列接続されたものである。各々の強誘電体セルMC2-0~MC2-3は、セルトランジスタT2の電流通路と強誘電体キャパシタC2が並列接続されて構成されている。そして、各強誘電体セルMC2-0~MC2-3のセルトランジスタT2のゲートはワード線WL0~WL3にそれぞれ接続され、ユニット選択トランジスタSTのゲートはユニット選択線BSに接続されている。

【0086】

上記ワード線WL0~WL3は、選択された強誘電体セルに対応する1本以外は“H”レベルに設定され、これに対応するセルトランジスタがオン状態に制御される。そして、選択された強誘電体セルに対応する1本のみが“L”レベルに設定され、これに対応するセルトランジスタがオフ状態に制御され、選択された強誘電体セルのセルキャパシタにおける一方の電極がビット線BLに、他方の電極がプレート線PLに接続されることになる。

【0087】

上記のようなセル構成であっても、基本的には上述した1トランジスタ・1キャパシタ構造を有する強誘電体セルをメモリコア部に用いた擬似SRAMと同様であり、実質的に同じ作用効果が得られる。

【0088】

[第5の実施の形態]

上記第1乃至第4の実施の形態に係る半導体集積回路装置においては、図3(a)及び図16(a)に示したような、プレート線PLの電位がパルス駆動される強誘電体セルMC1、MC2をメモリコア部に用いた擬似SRAMについて説明した。

【0089】

これに対して、本第5の実施の形態では、1トランジスタ・1キャパシタ構造を有するDRAMセルをメモリコア部に用いている。

【0090】

すなわち、上記メモリセルアレイ16中には、図17(a)に示すような1トランジスタ・1キャパシタ構造を有するDRAMセルMC3がマトリックス状に配置されている。セルトランジスタT3の電流通路の一端はビット線BLに接続され、他端はセルキャパシタC3の一方の電極に接続される。上記セルキャパシタC3の他方の電極は、プレート線PLに接続されている。

【0091】

そして、図17(b)に示すように、ビット線BLのプリチャージ電圧及びプレート線PLの電位が電源電圧VCCの1/2に設定された状態でワード線WLが選択されるようになっている。

【0092】

このような構成であっても、基本的には上述した第1乃至第5の実施の形態で説明した強誘電体セルMC1, MC2をメモリコア部に用いた擬似SRAMと同様であり、実質的に同じ作用効果が得られる。

【0093】

上述したように、本発明の各実施の形態に係る擬似SRAMを搭載した半導体集積回路装置によれば、従来は対応できなかった非同期動作とスタティックカラムモードなどの高速動作モードを兼ね備えることが可能となる。また、書き込み動作の制約の無い構成においても高速動作モードが可能となる。

【0094】

なお、上述した本発明の第1乃至第5の実施の形態に係る半導体集積回路装置は、既存のSRAMに代えて様々な装置に適用が可能である。特に、第1乃至第4の実施の形態に係る半導体集積回路装置は、メモリコア部に強誘電体メモリを用いているので、不揮発性であることを利用して種々のタイプのオプションのメモリや、メディアコンテンツを記憶するカード等に適用できる。これらの適用例のいくつかを図18乃至図20に示す。

【0095】

(適用例1)

図18はデジタル加入者線(DSL)用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ(DSP: Digital Signal Processor)110、アナログーデジタル(A/D)コンバータ120、デジタルーアナログ(D/A)コンバータ130、送信ドライバ150、及び受信機増幅器160などを含んでいる。図18では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード; QAM, CAP, RSK, FM, AM, PAM, DWT等)に応じてモデムを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリとして、本実施の形態の擬似SRAM170とEEPROM180を示している。

【0096】

なお、本適用例では、回線コードプログラムを保持するためのメモリとして擬似SRAM170とEEPROM180との2種類のメモリを用いているが、EEPROM180を擬似SRAMに置き換えても良い。すなわち、2種類のメモリを用いず、擬似SRAMのみを用いるように構成しても良い。

【0097】

(適用例2)

図19は、別の適用例として、携帯電話端末300を示している。通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとして用いられるDSP205、スピーカ(受話器)206、マイクロホン(送話器)207、送信部208、及び周波数シンセサイザ209等を備えている。

【0098】

また、この携帯電話端末300には、当該携帯電話端末の各部を制御する制御部220が設けられている。制御部220は、CPU221、ROM222、本実施の形態の擬似SRAM223、及びフラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。上記ROM222には、CPU221において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。擬似SRAM223は、主に作業領域として用いられるものであり、CPU221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ224は、携帯電話端末300の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

【0099】

更に、この携帯電話端末300には、オーディオ再生処理部211、外部出力端子212、LCDコントローラ213、表示用のLCD（液晶ディスプレイ）214、及び呼び出し音を発生するリング215等が設けられている。上記オーディオ再生処理部211は、携帯電話端末300に入力されたオーディオ情報（あるいは後述する外部メモリ240に記憶されたオーディオ情報）を再生する。再生されたオーディオ情報は、外部出力端子212を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部211を設けることにより、オーディオ情報の再生が可能となる。上記LCDコントローラ213は、例えば上記CPU221からの表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換し、LCD214を駆動して表示を行わせる。

【0100】

上記携帯電話端末300には、インターフェース回路（I/F）231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、及び外部入出力端子236等が設けられている。上記外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。この外部メモリスロット232は、インターフェース回路（I/F）231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報（例えばオーディオ情報）を携帯電話端末300に入力したりすることが可能となる。上記キー操作部234は、インターフェース回路（I/F）233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路（I/F）233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

【0101】

なお、本適用例では、ROM222、擬似SRAM223及びフラッシュメモリ224を用いているが、不揮発性であるのでフラッシュメモリ224を擬似SRAMに置き換えても良いし、更にROM222を擬似SRAMに置き換えることも可能である。

【0102】

（適用例3）

図20は、擬似SRAMをスマートメディア等のメディアコンテンツを収納するカードに適用した例を示す。

【0103】

カード本体400には、擬似SRAMチップ401が内蔵されている。このカード本体400には、擬似SRAMチップ401に対応する位置に開口部402が形成され、擬似SRAMチップ401が露出されている。この開口部402にはシャッター403が設け

られており、当該カードの携帯時に擬似SRAMチップ401がシャッター403で保護されるようになっている。データを書き込む場合には、シャッター403を開放して擬似SRAMチップ401を露出させて行う。外部端子404はカードに記憶されたコンテンツデータを外部に取り出すためのものである。もちろん、外部端子404の数に制限がない場合には、上記擬似SRAMチップ401に対応する位置に開口部402を設けず、外部端子404のみでデータを書き込むようにしても良い。

【0104】

上記適用例1乃至3に示した構成によれば、アドレスの入力制限がない、低消費電力で且つ外部入力信号に対して非同期である、比較的高速に動作する、不揮発性である等の擬似SRAMの特長を有効に利用できる。

【0105】

なお、半導体集積回路装置として擬似SRAMを例に取って説明したが、擬似SRAMとロジック回路とを混載した半導体集積回路装置や、1チップ中にシステムを搭載するSOCと呼ばれる半導体集積回路装置にも適用できる。

【0106】

以上、第1乃至第5の実施の形態と適用例1乃至3を用いて本発明の説明を行ったが、本発明は上記各実施の形態や適用例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態や適用例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態や適用例に示される全構成要件からいくつもの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0107】

【図1】本発明の第1の実施の形態に係る半導体集積回路装置について説明するためのもので、半導体集積回路装置に搭載される擬似SRAMの読み出し及び書き込みに係る回路を抽出して示す概要構成図。

【図2】図1に示した回路の要部の詳細な構成例、並びに周辺回路をより詳細に示すブロック図。

【図3】図2に示したメモリセルアレイの構成例について説明するためのもので、(a)図は1トランジスタ・1キャパシタ構造を有する強誘電体セルの等価回路図、(b)図はその動作波形を示すタイミングチャート。

【図4】図3(a)に示した強誘電体キャパシタの印加電圧と残留分極との関係（ヒステリシス特性）を示す特性図。

【図5】図1乃至図3に示した半導体集積回路装置の動作について説明するためのもので、内部CE制御回路の詳細な構成例を示す回路図。

【図6】図5に示した、内部CE制御回路の読み出し動作を説明するためのもので、(a)図はノーマル読み出し動作のタイミングチャート、(b)図はスタティックカラム読み出し動作のタイミングチャート。

【図7】図5に示した、内部CE制御回路の書き込み動作を説明するためのもので、(a)図はノーマル書き込み動作のタイミングチャート、(b)図はスタティックカラム書き込み動作のタイミングチャート。

【図8】図1乃至図3に示した半導体集積回路装置の動作について説明するためのもので、モード判定回路の詳細な構成例を示す回路図。

【図9】図8に示したモード判定回路の動作を示すタイミングチャート。

【図10】図1乃至図3に示した半導体集積回路装置の動作について説明するためのもので、(a)図はスタティックカラム読み出し動作のタイミングチャート、(b)図はスタティックカラム書き込み動作のタイミングチャート。

【図11】図1乃至図3に示した半導体集積回路装置の別の動作について説明するた

めのもので、(a)図はスタティックカラム読み出し動作のタイミングチャート、(b)図はスタティックカラム書き込み動作のタイミングチャート。

【図12】本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、擬似SRAMにおける読み出し及び書き込みに関係する要部を抽出して詳細な構成例を示すブロック図。

【図13】本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、図12に示した擬似SRAMの遅いノーマル書き込み動作を示すタイミングチャート。

【図14】本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、図12に示した擬似SRAMの遅いスタティックカラム書き込み動作を示すタイミングチャート。

【図15】本発明の第3の実施の形態に係る半導体集積回路装置について説明するためのもので、擬似SRAMにおける読み出し及び書き込みに関係する要部を抽出して詳細な構成例を示すブロック図。

【図16】本発明の第4の実施の形態に係る半導体集積回路装置について説明するためのもので、(a)図はTC並列ユニット直列接続型強誘電体セルの1ユニット分の等価回路図、(b)図はその動作波形を示すタイミングチャート。

【図17】本発明の第5の実施の形態に係る半導体集積回路装置について説明するためのもので、(a)図はDRAMセルの等価回路図、(b)図はその動作波形を示すタイミングチャート。

【図18】本発明の第1乃至第4の実施の形態に係る半導体集積回路装置(擬似SRAM)の適用例1について説明するためのもので、デジタル加入者線(DSL)用モデムのDSLデータパス部分を示すブロック図。

【図19】本発明の第1乃至第4の実施の形態に係る半導体集積回路装置(擬似SRAM)の適用例2について説明するためのもので、携帯電話端末を示すブロック図。

【図20】本発明の第1乃至第4の実施の形態に係る半導体集積回路装置(擬似SRAM)の適用例3について説明するためのもので、擬似SRAMをスマートメディア等のメディアコンテンツを収納するカードに適用した例を示す上面図。

【図21】従来の半導体集積回路装置について説明するためのもので、(a)図は同期型擬似SRAMのノーマル読み出し動作を示すタイミングチャート、(b)図は同期型擬似SRAMのスタティックカラム読み出し動作を示すタイミングチャート。

【図22】従来の半導体集積回路装置について説明するためのもので、タイムアウトを読み出し動作書き込み動作共に使う構成を持つ半導体集積回路装置のタイミングチャートであり、(a)図は非同期型擬似SRAMの読み出し動作を示すタイミングチャート、(b)図は非同期型擬似SRAMの書き込み動作を示すタイミングチャート。

【図23】従来の半導体集積回路装置について説明するためのもので、半導体集積回路装置に搭載される非同期型擬似SRAMにおける読み出し及び書き込みに関係する回路部を抽出して示すブロック図。

【図24】従来の半導体集積回路装置について説明するためのもので、タイムアウトを読み出し動作のみ使い、書き込み動作は外部WE信号に基づいて制御する構成を持つ半導体集積回路装置のタイミングチャートであり、(a)図は非同期型擬似SRAMの読み出し動作を示すタイミングチャート、(b)図は非同期型擬似SRAMの書き込み動作を示すタイミングチャート。

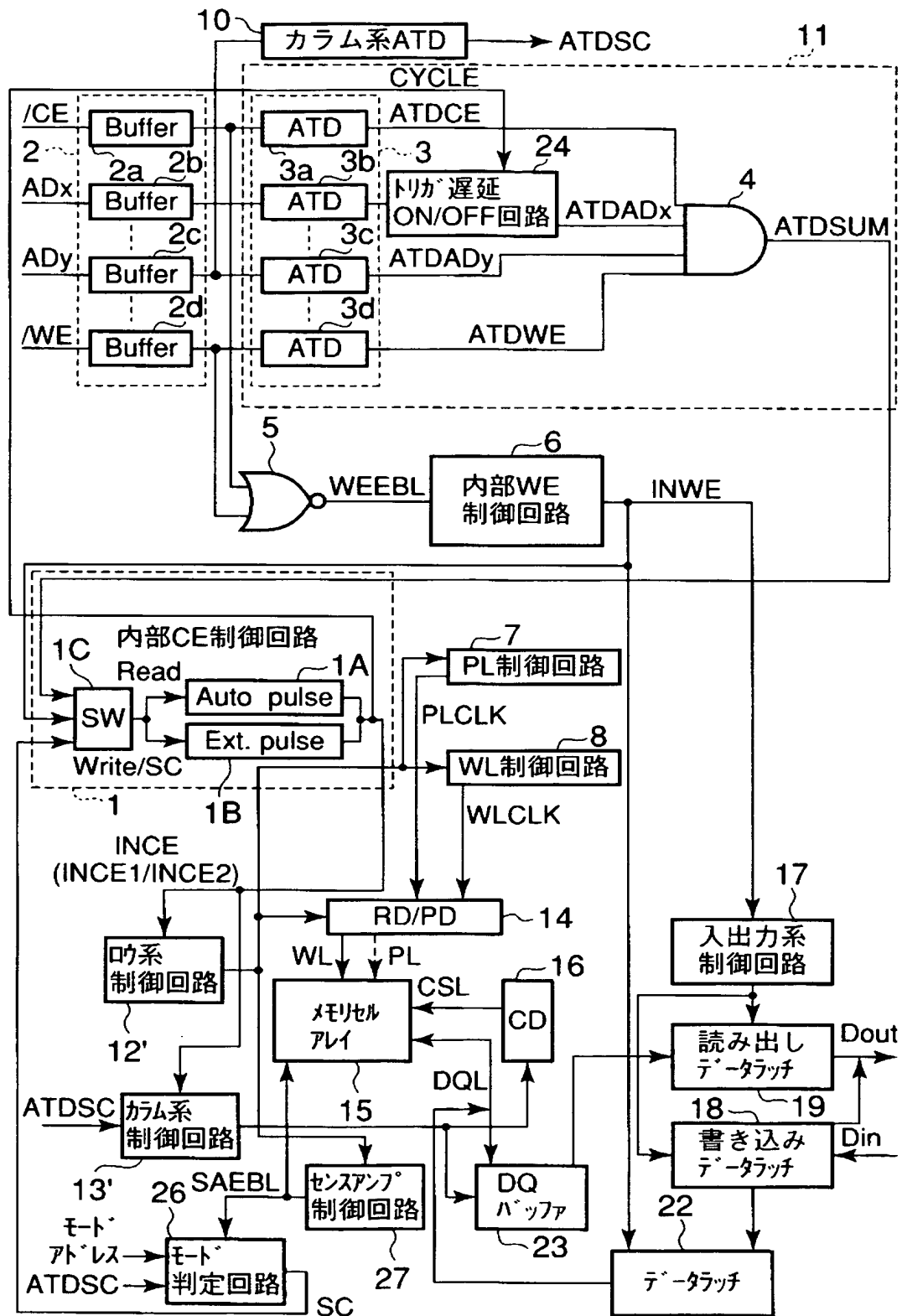
【符号の説明】

【0108】

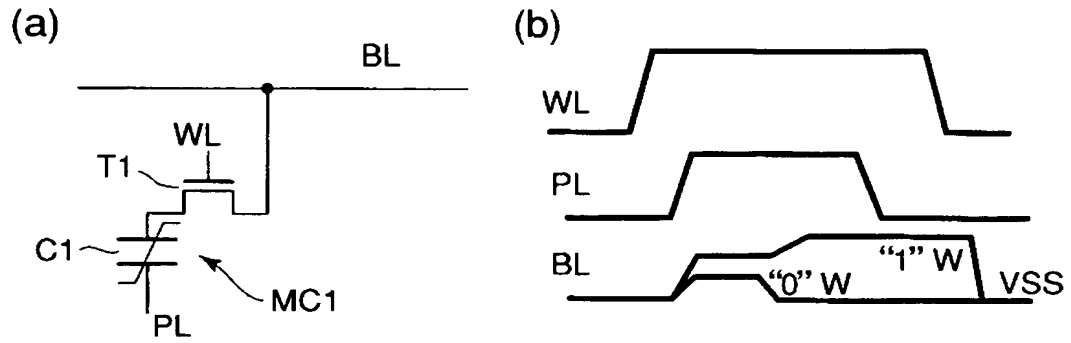
1…内部CE制御回路、2…バッファ回路、2a～2d…バッファ、3…ATD回路、3a～3d…ATD、4…AND回路、5…NOR回路、6…内部WE制御回路、7…プレート線制御回路、8…ワード線制御回路、10…カラム系ATD、11…ロウ・カラム系ATD、12…ロウ系回路、12'…ロウ系制御回路、13…カラム系回路、13'…

カラム系制御回路、14…ロウデコーダ及びプレートデコーダ、15…メモリセルアレイ、16…カラムデコーダ、17…入出力系制御回路、18…書き込みデータラッチ、19…読み出しデータラッチ、20…書き込みモードラッチON/OFF回路、22…データラッチ、23…DQバッファ、24, 28…トリガ遅延ON/OFF回路、25…内部WE制御回路、26…モード判定回路、27…センスアンプ制御回路、WL…ワード線、BL…ビット線、PL…プレート線、MC1…強誘電体セル、MC2-0～MC2-3…TC並列ユニット直列接続型強誘電体セル、MC3…DRAMセル、/CE…外部チップイネーブル信号、ADx…ロウアドレス信号、ADy…カラムアドレス信号、/WE…外部ライトイネーブル信号、INCE…内部チップイネーブル信号、INWE…内部ライトイネーブル信号、SC…モード判定信号。

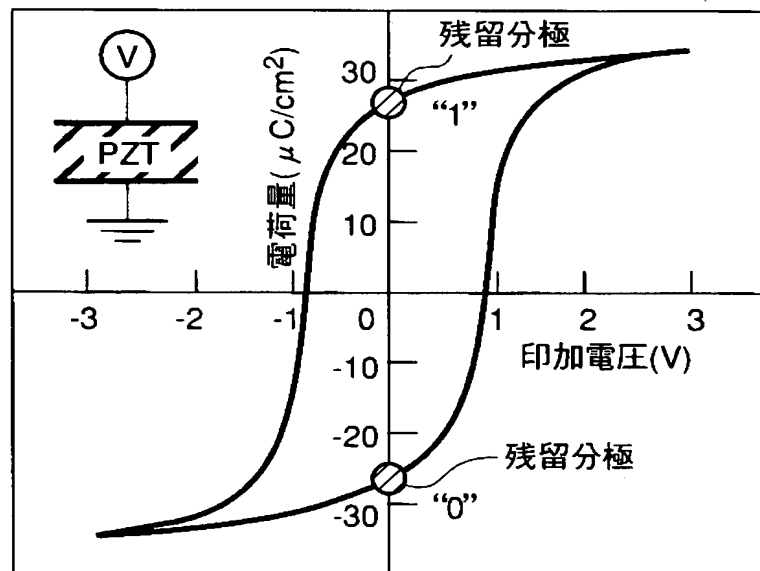
【図 2】



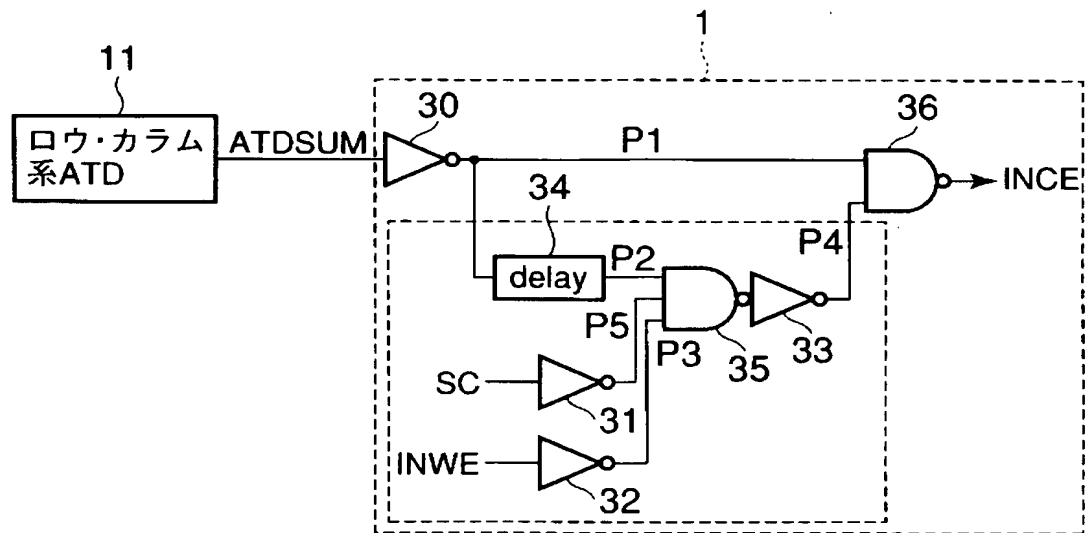
【図 3】



【図 4】

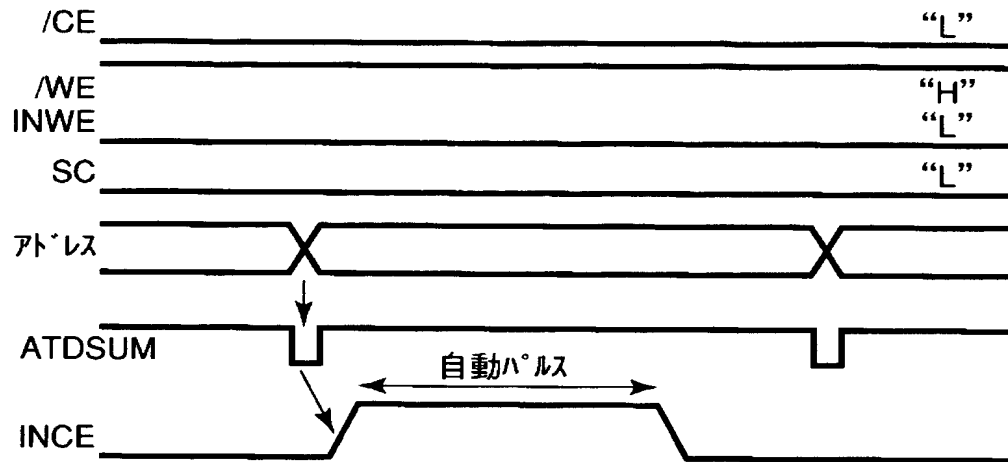


【図 5】

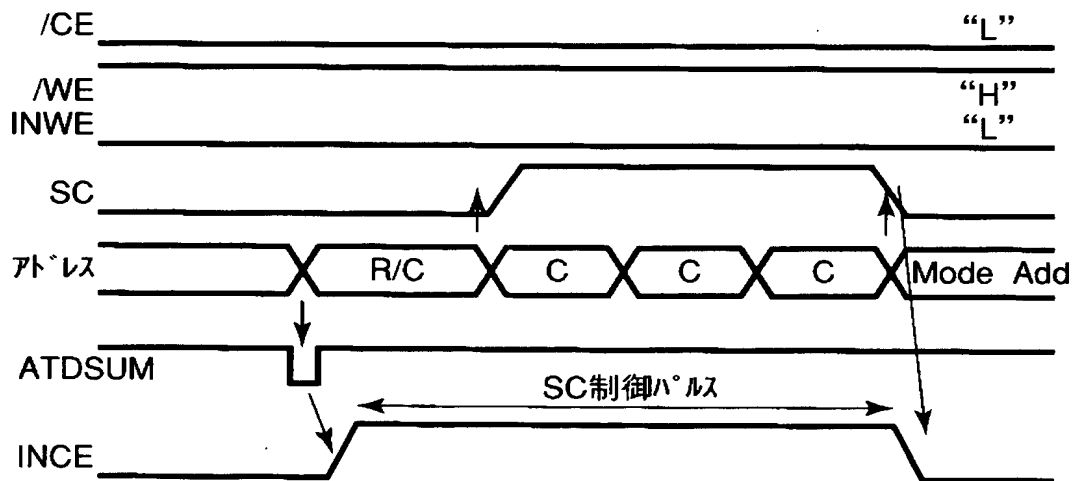


【図 6】

(a) Normal Read

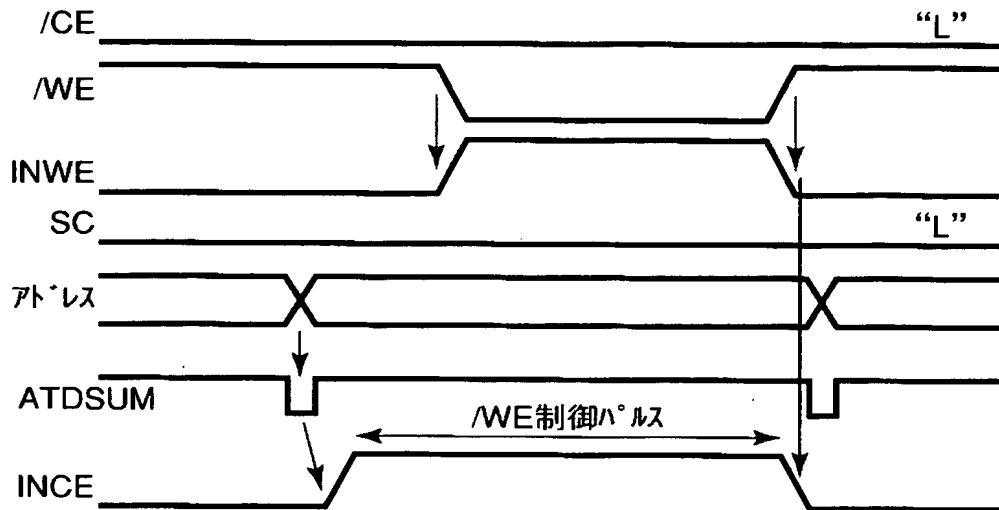


(b) Static Column Read

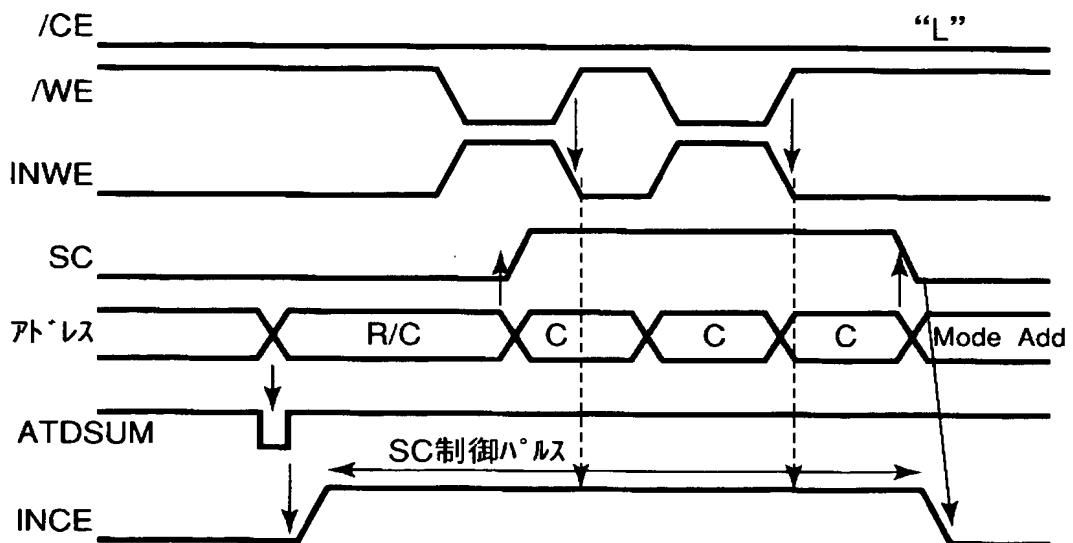


【図 7】

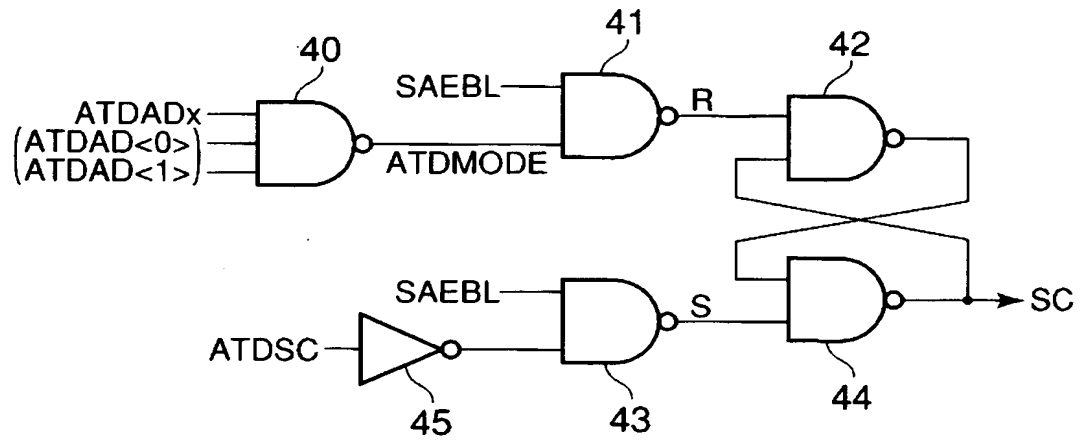
(a) Normal Write



(b) Static Column Write



【図 8】

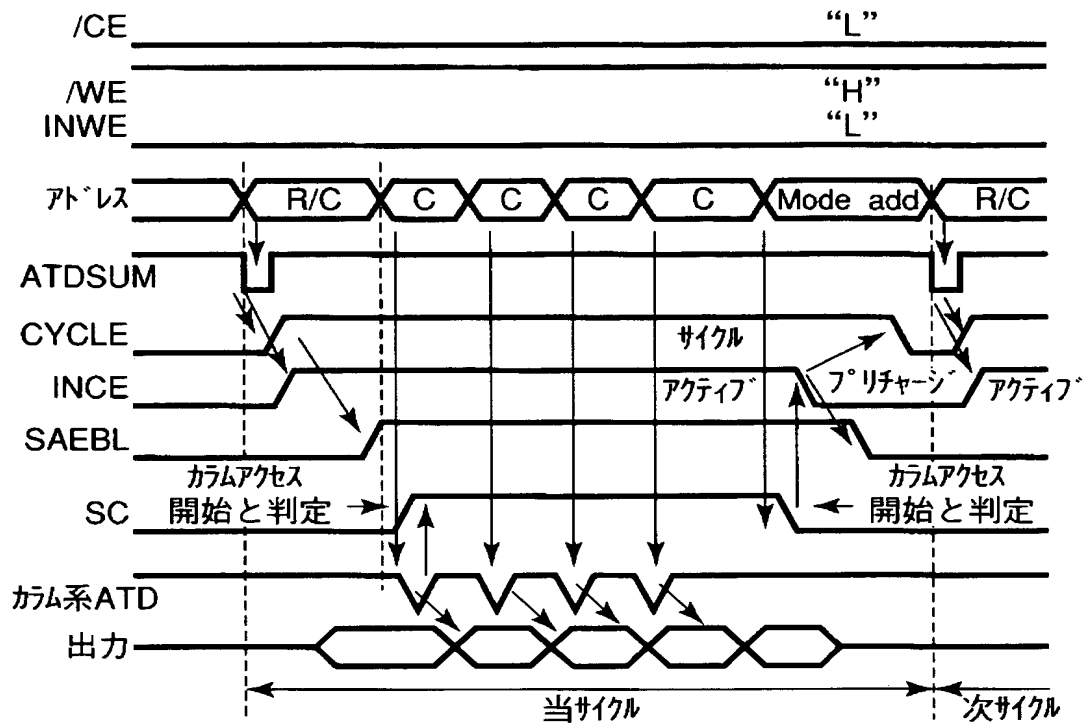


【図 9】

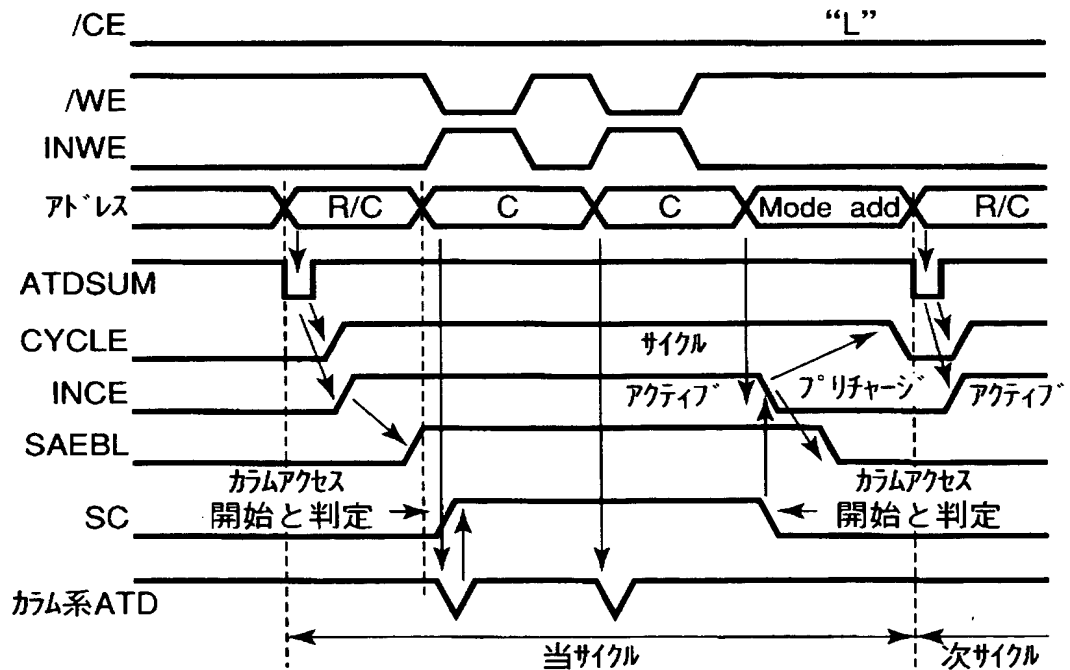


【図10】

(a) Static Column Read

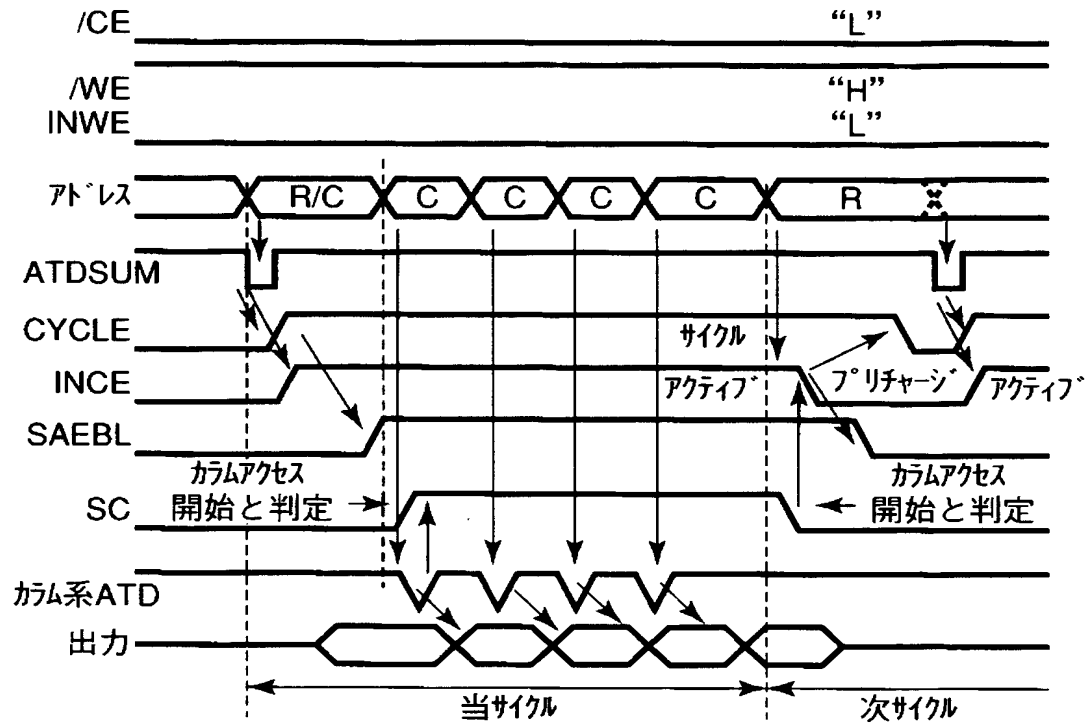


(b) Static Column Write

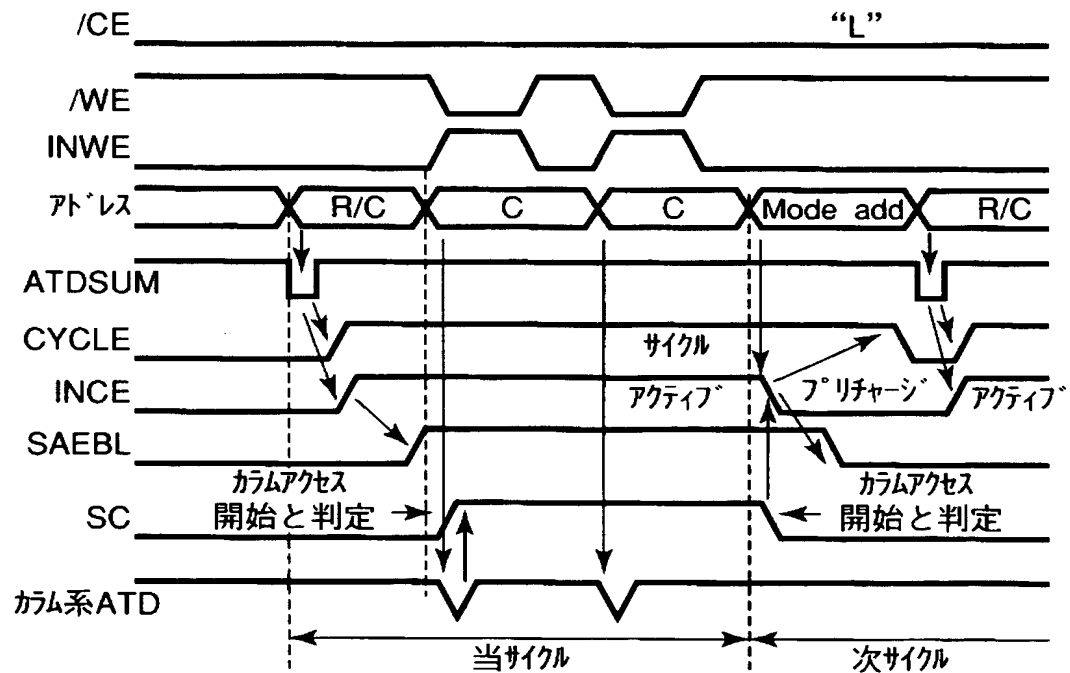


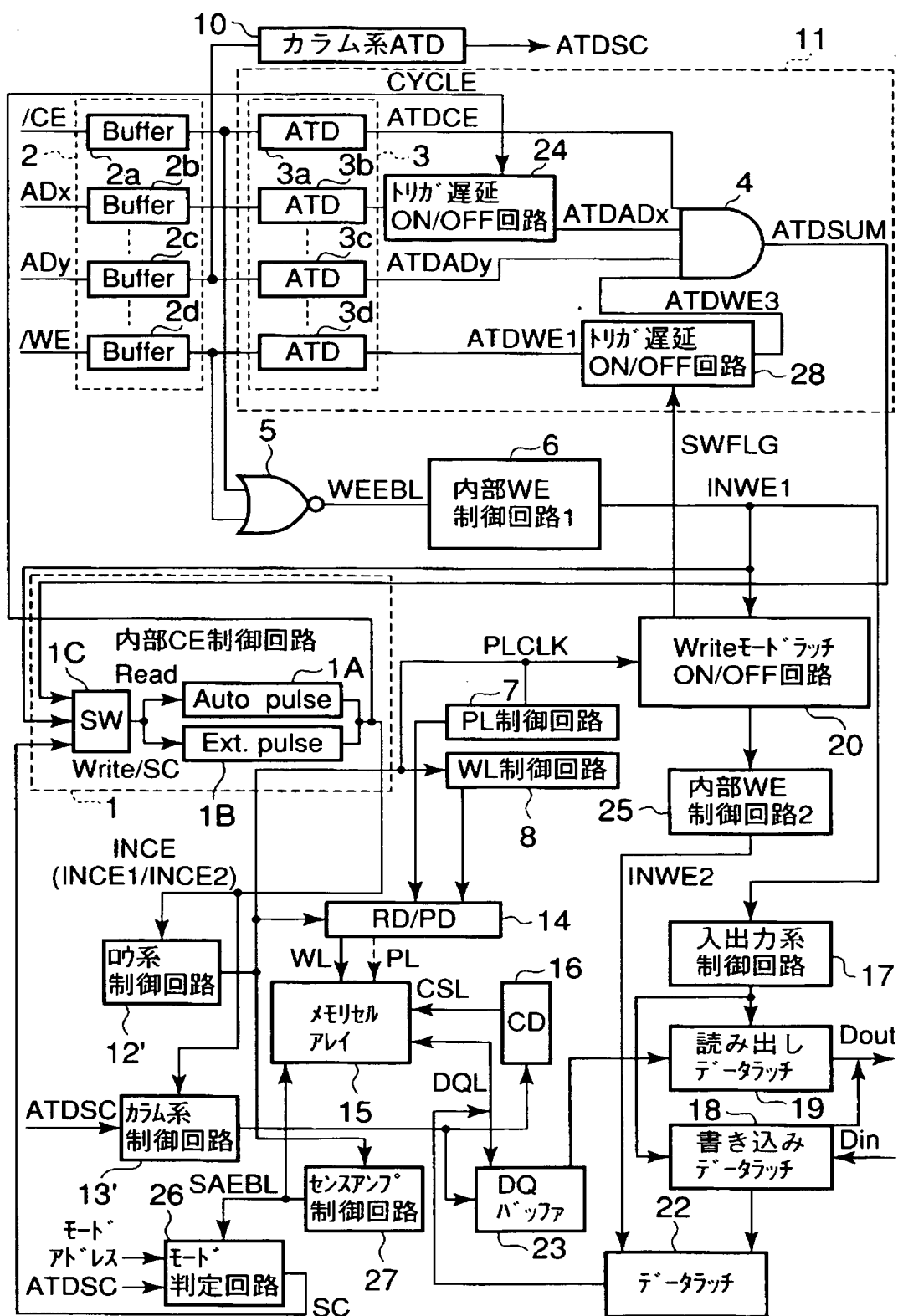
【図 11】

(a) Static Column Read



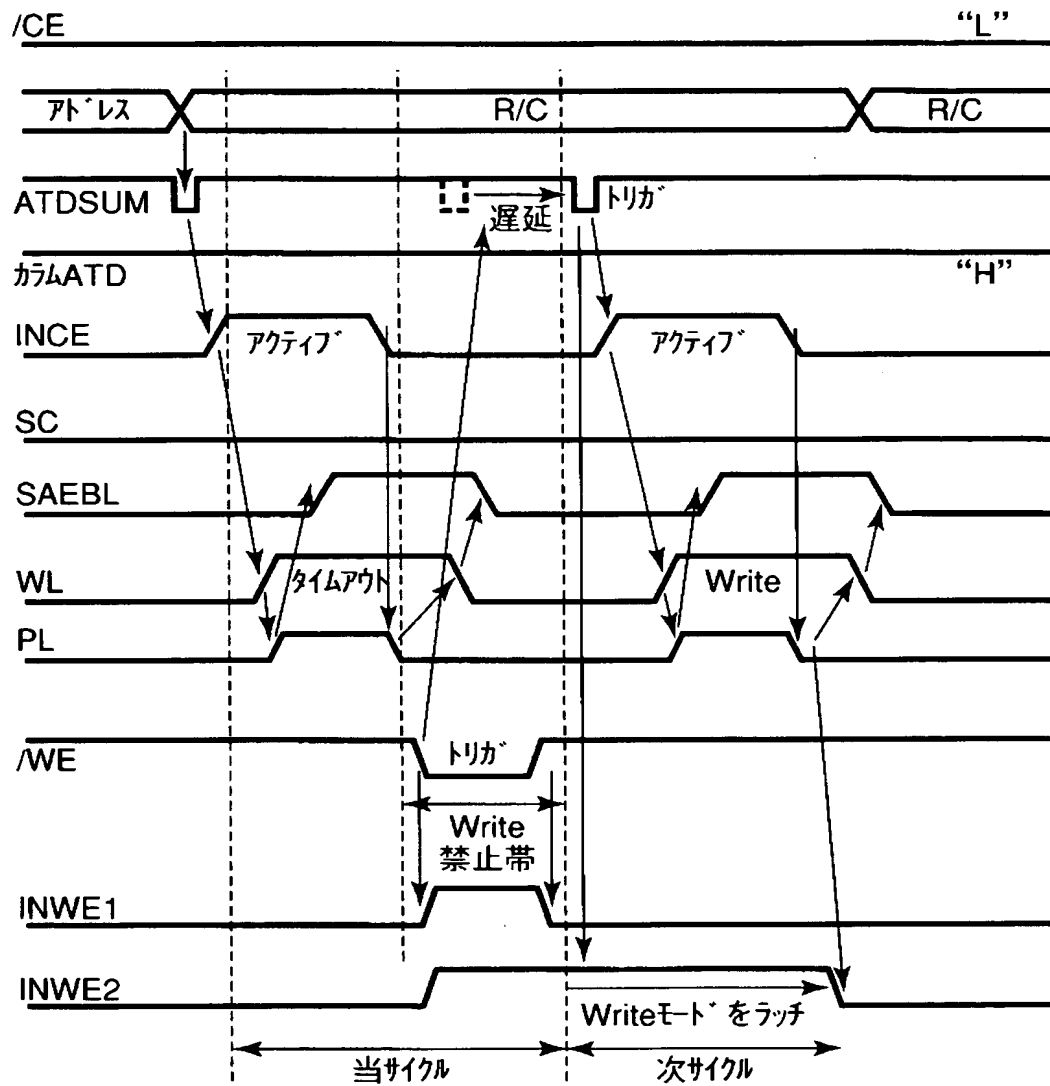
(b) Static Column Write





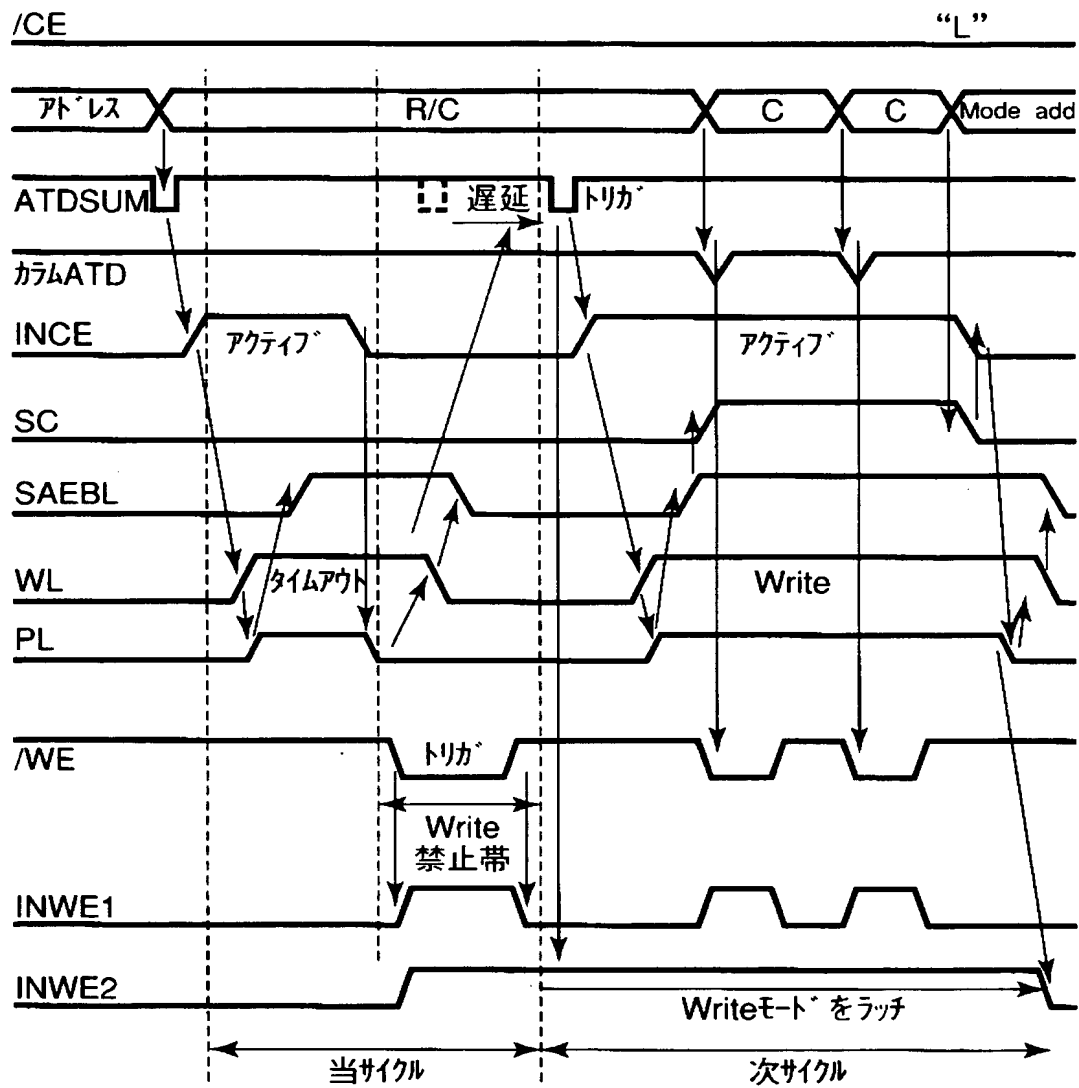
【図 13】

<遅いWriteのNormal Write>

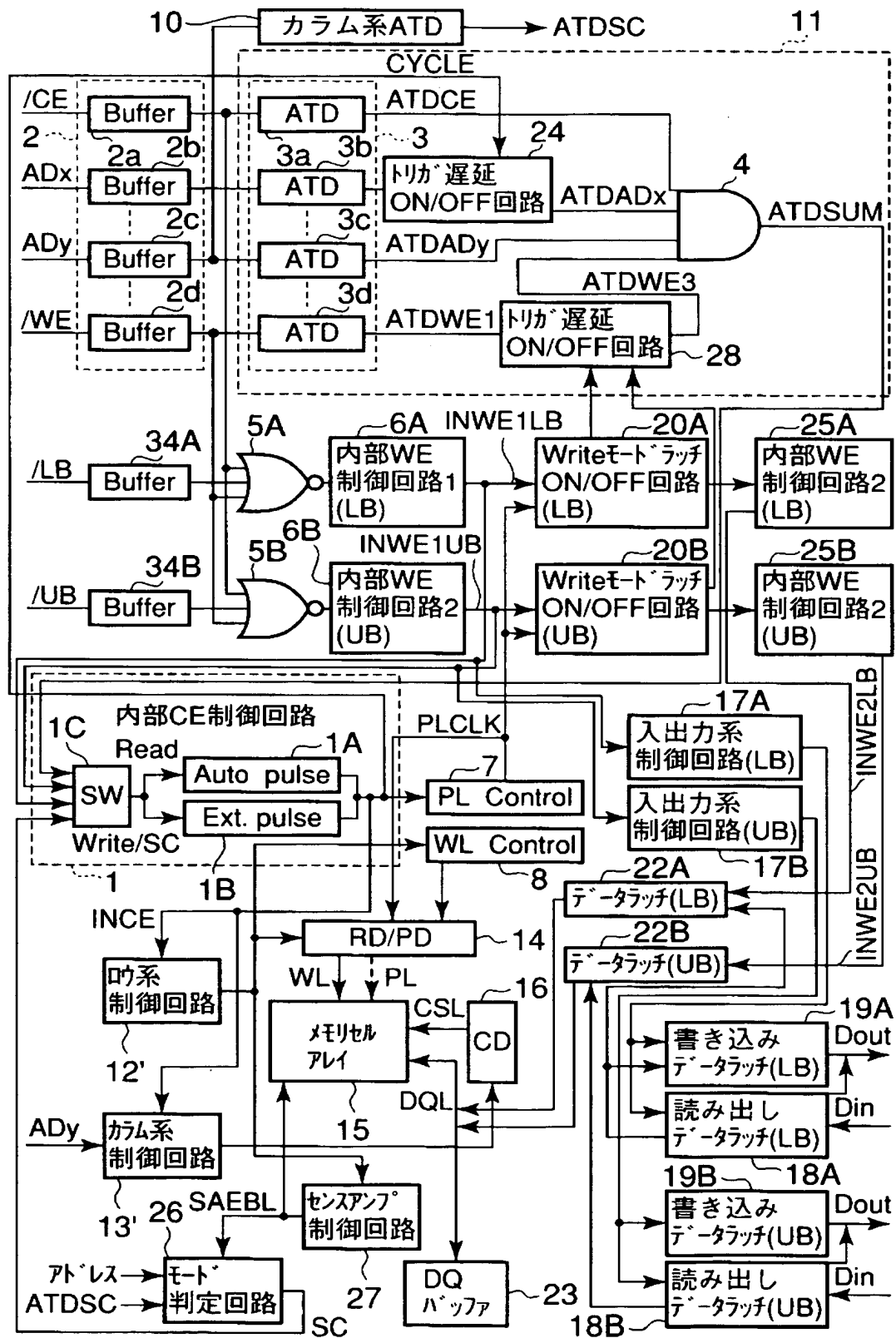


【図 14】

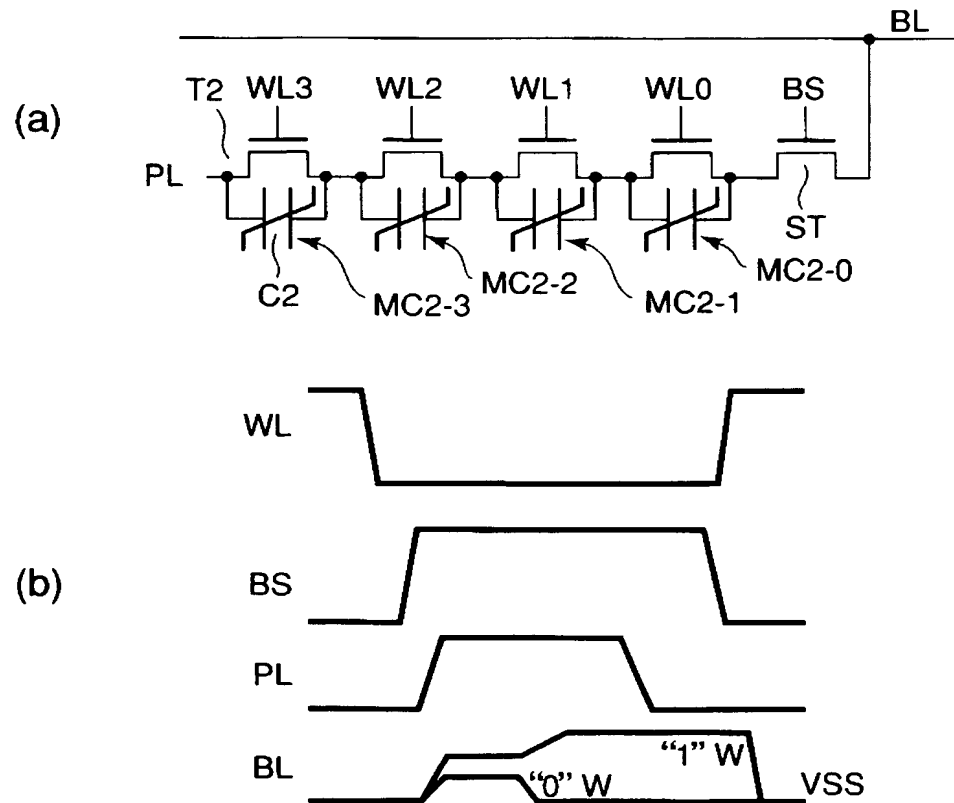
<遅いWriteのStatic Column Write>



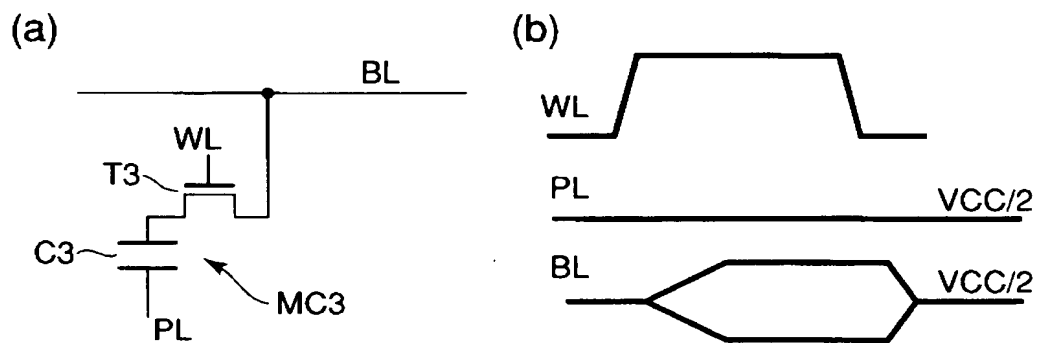
【図15】



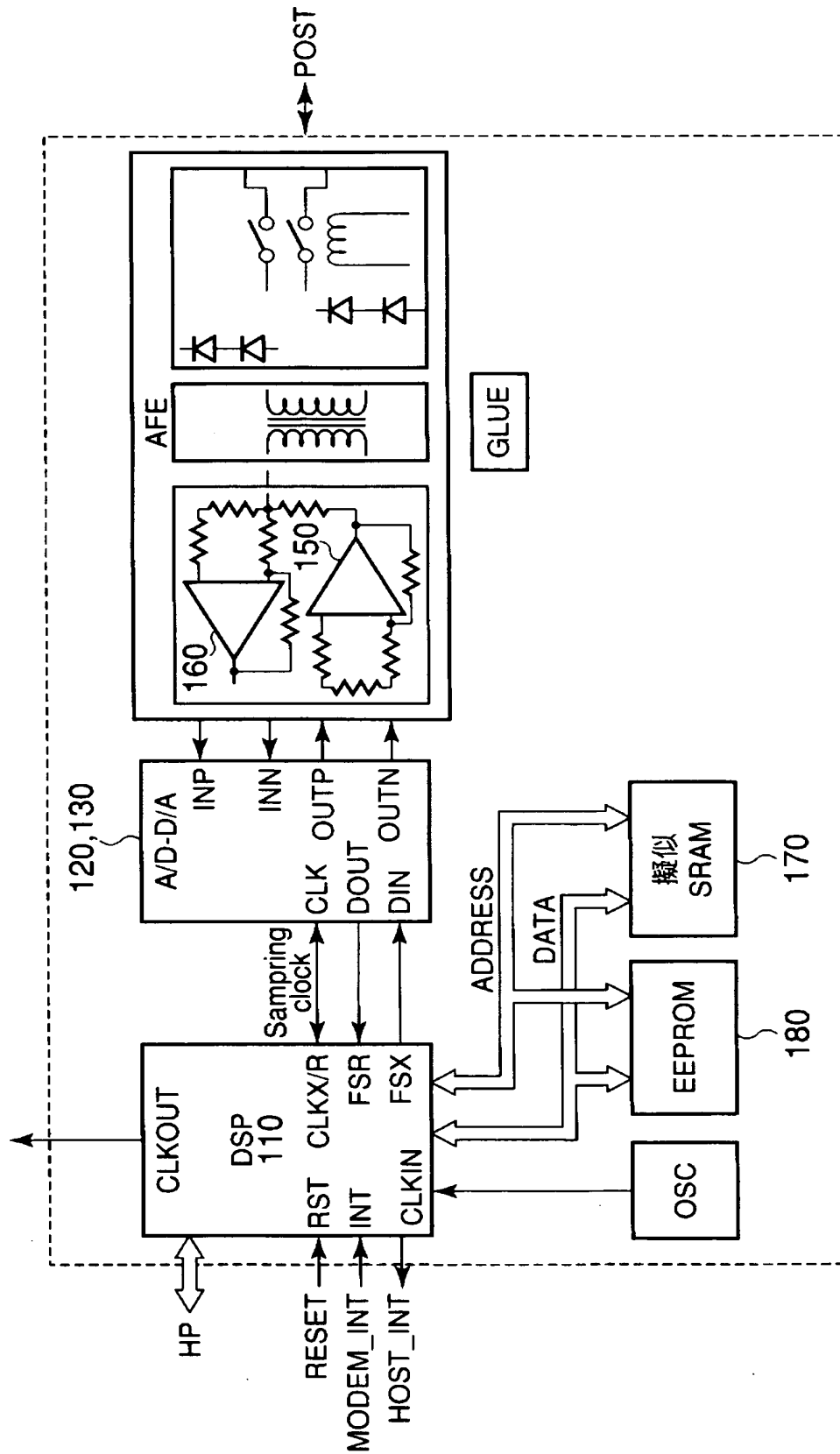
【図 16】



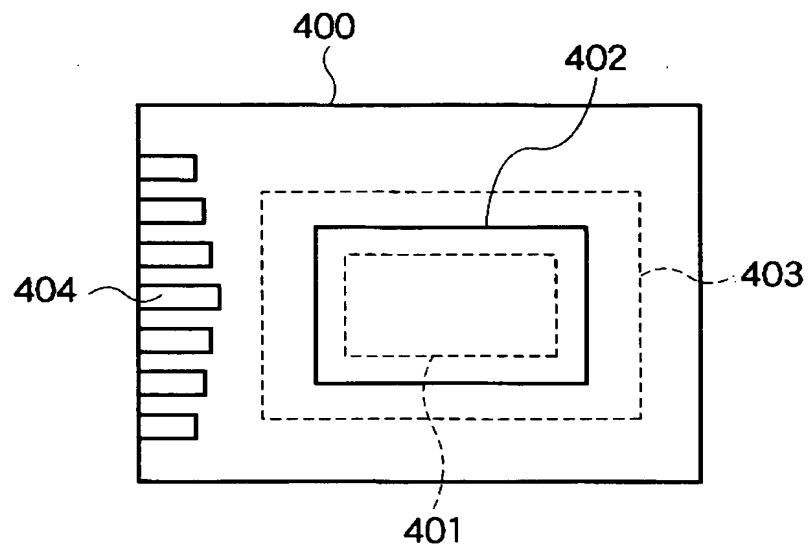
【図 17】



【図 18】

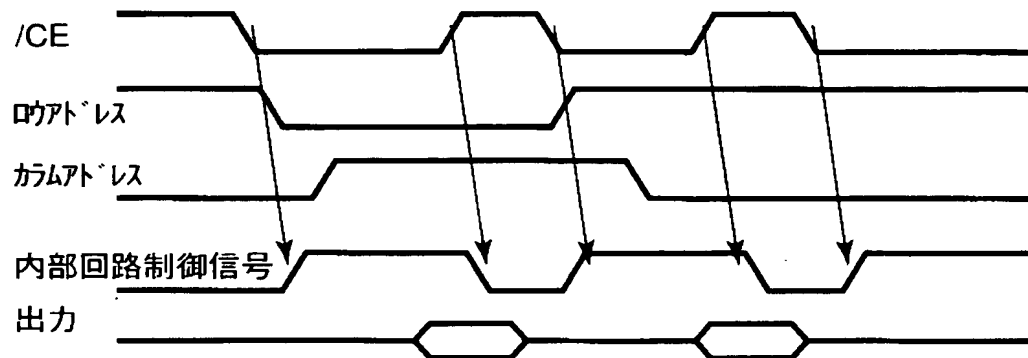


【図 20】



【図 21】

(a) Normal Read

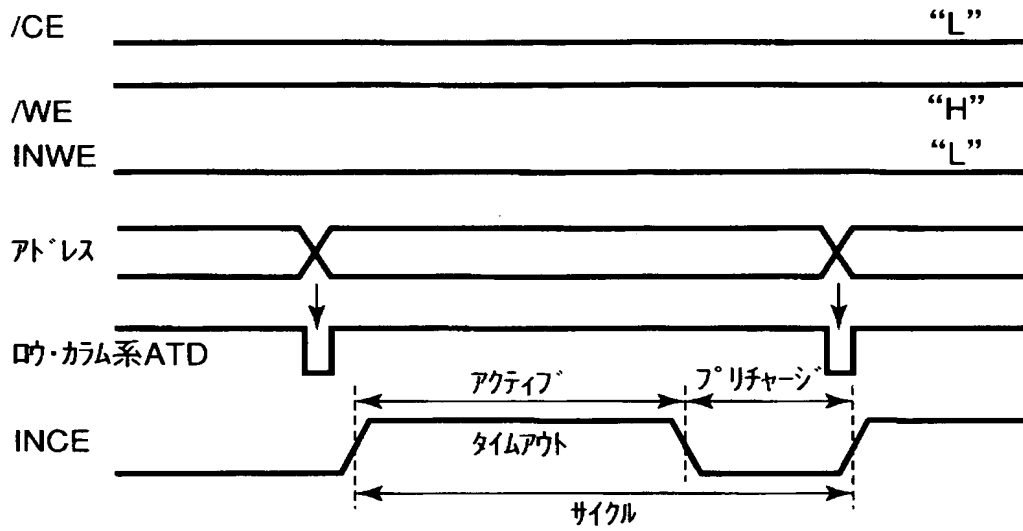


(b) Static Column Read

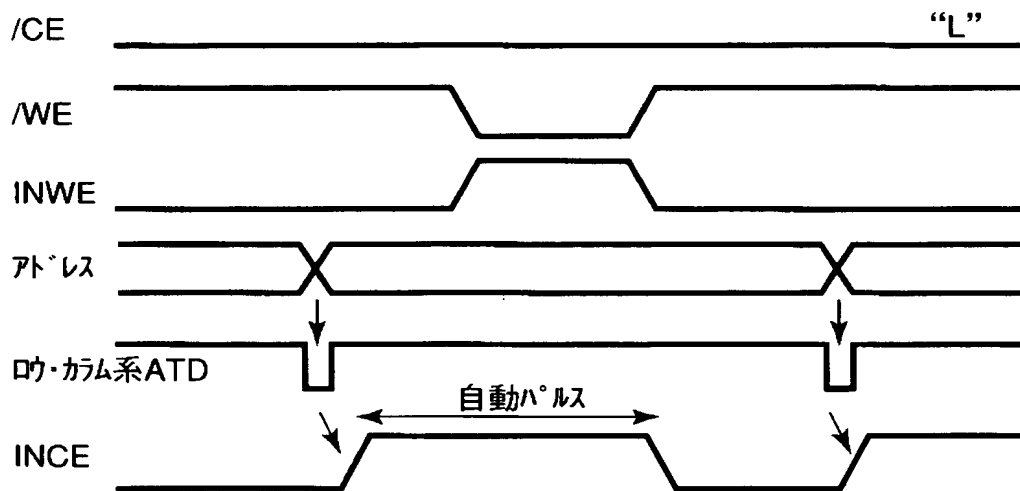


【図 2 2】

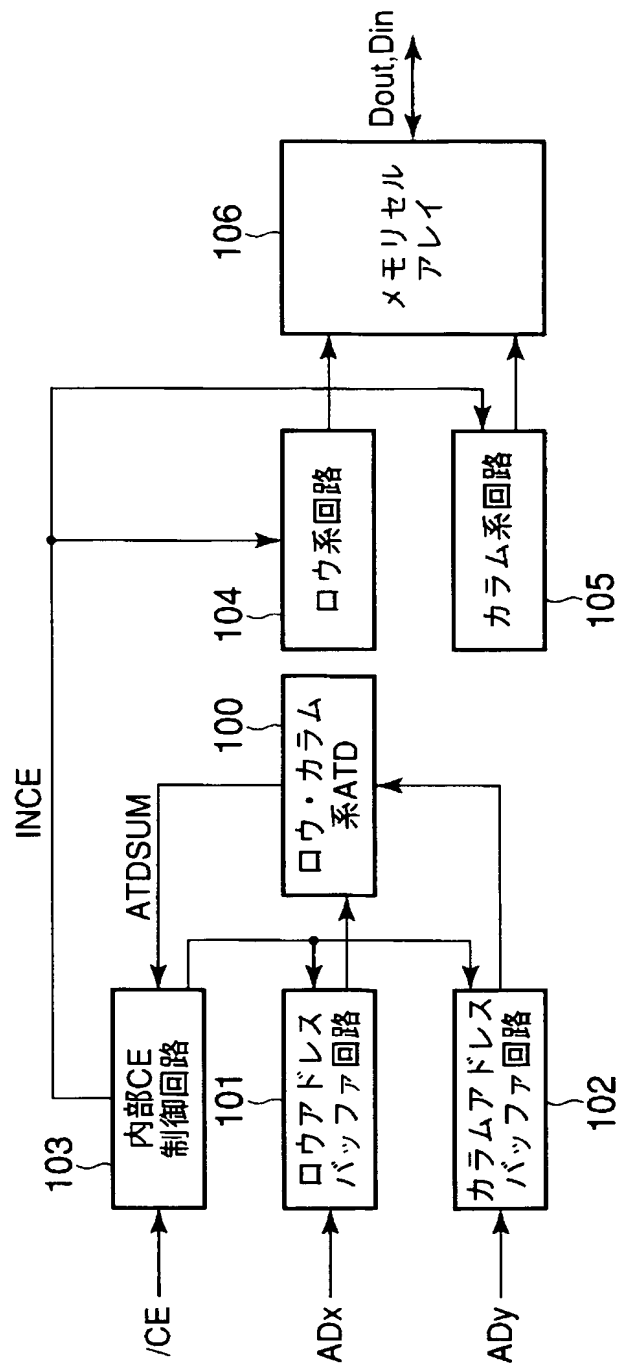
(a) Read



(b) Write

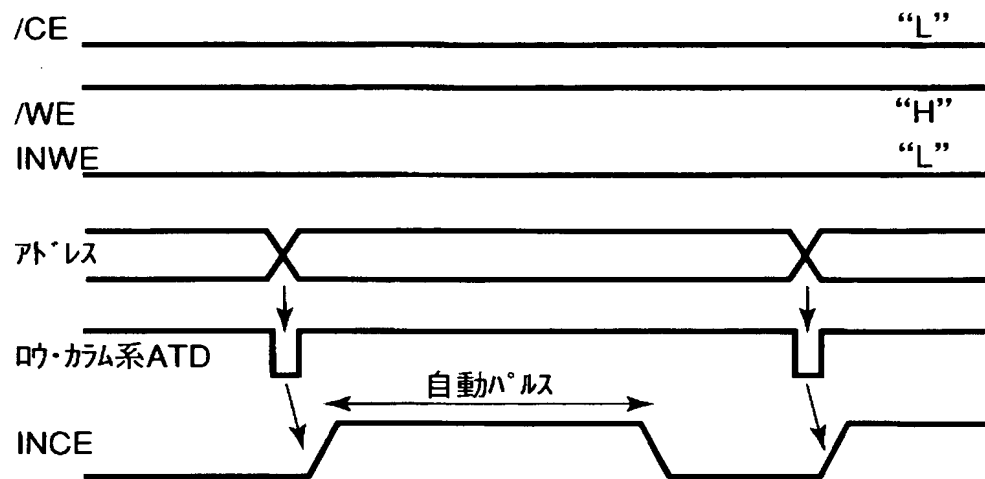


【図 23】

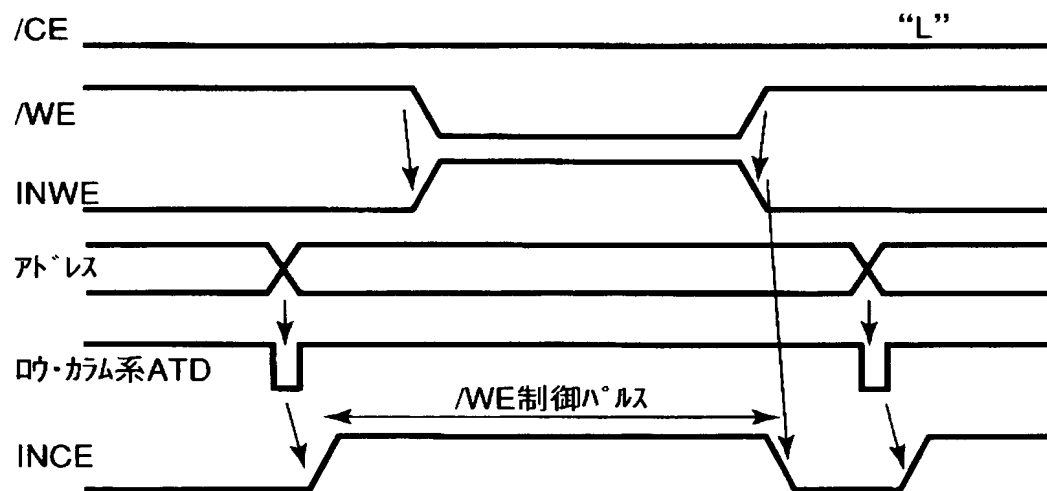


【図 24】

(a) Read



(b) Write



【書類名】 要約書**【要約】**

【課題】 スタティックカラムモードなどの高速動作モードを有した非同期仕様の擬似 S R A M を搭載した半導体集積回路装置を提供することを目的としている。

【解決手段】 擬似 S R A M に、ロウアクセス用の A T D 回路 1 1 と、カラムアクセス用の A T D 回路 1 0 と、ロウアクセスとカラムアクセスのどちらのモードが実行されているかを判定するモード判定回路 2 6 を設け、チップ内部で自動的にモード判定信号 S C を生成して内部回路を制御することにより、スタティックカラムモードなどの高速動作モードが可能となる。モード判定回路は、カラムアクセスのモード判定を、サイクルを開始してセンスアンプの活性化以降のカラムアドレス遷移を検知してカラムアクセス開始と判定する。カラムアドレスの遷移が連続した後、ロウアドレスあるいはあらかじめ決めておいたモードアドレスが遷移したことを検知してカラムアクセスモード終了と判定する。

【選択図】 図 1

特願 2 0 0 3 - 3 3 8 5 2 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝